

ASU

09/831315  
PCT/JPCC/05045

日 本 国 特 許 庁

KU

PATENT OFFICE  
JAPANESE GOVERNMENT  
JP00/5945

03.10.00

REC'D 28 NOV 2000  
記載されて PCT

別紙添付の書類に記載されている事項は下記の出願書類に  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

1999年 9月 8日

出 願 番 号  
Application Number:

平成11年特許願第254389号

出 願 人  
Applicant(s):

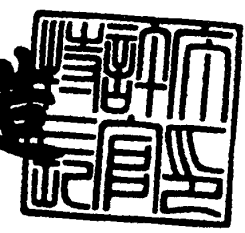
松下電器産業株式会社

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月10日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3092479

【書類名】 特許願

【整理番号】 2036410233

【提出日】 平成11年 9月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20  
H01L 21/263  
H01L 29/786

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 倉増 敬三郎

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 南野 裕

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100097445

    【弁理士】

    【氏名又は名称】 岩橋 文雄

【選任した代理人】

    【識別番号】 100103355

    【弁理士】

    【氏名又は名称】 坂口 智康

【選任した代理人】

    【識別番号】 100109667

    【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 液晶表示装置およびその製造方法

【特許請求の範囲】

【請求項 1】 駆動回路部が少なくとも多結晶シリコン薄膜トランジスタより構成され、かつ前記駆動回路部を含む薄膜配線領域上に絶縁膜を介して駆動回路部へ給電するための配線を形成したことを特徴とする液晶表示装置。

【請求項 2】 前記配線を印刷により形成したことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程、前記駆動回路部を含む薄膜配線領域上に絶縁膜を形成する工程、前記絶縁膜の所定部分をフォトリソによりエッチングして前記駆動回路部の配線電極の所定部分を露出するようにビアホールを形成する工程、前記絶縁膜上に導電性インクを用いて所定形状に印刷し、ビアホールを通して前記駆動回路部の配線電極と電気的接続を行う工程を少なくとも含む液晶表示装置の製造方法。

【請求項 4】 駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程、前記駆動回路部を含む薄膜配線領域の所定部分に前記薄膜配線電極の一部が露出するようにビアホールを形成するための絶縁膜を印刷形成する工程、前記絶縁膜上に導電性インクを用いて所定形状に印刷し、ビアホールを通して前記駆動回路部の配線電極と電気的接続を行う工程を少なくとも有する液晶表示装置の製造方法。

【請求項 5】 駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程、前記駆動回路部を含む薄膜配線領域と画素部分上に透明絶縁膜を塗布形成して平坦化膜を形成する工程、前記平坦化膜をフォトリソとエッチングプロセスにより前記駆動回路部を含む薄膜配線領域と前記画素部分の所定個所にビアホールを設ける工程、前記平坦化膜上に透明導電膜を所定個所にパターン形成する工程、前記駆動回路部への給電のための配線を透明導電膜を含む前記平坦化膜上に印刷形成する工程を少なくとも有する液晶表示装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は液晶表示装置及びその製造方法に関わり、特に駆動回路部を多結晶シリコン薄膜トランジスタで構成する液晶表示装置とその製造方法に関する。

【0002】

【従来の技術】

現在、液晶表示装置はノートパソコンやカーナビゲーションなどに用いられ、今後更に小型、軽量化が望まれている。これを実現するために、駆動回路を内蔵化できる多結晶シリコン薄膜トランジスタを用いて外部回路との接続方式をより簡略化することで、薄型、小型化を実現することが期待されている。

【0003】

そこで以下では、従来のアモルファスシリコン薄膜トランジスタと、それを駆動するための駆動用 IC とをフリップチップ方式で接続する場合、および従来の多結晶シリコン薄膜トランジスタを用いた場合の外部回路との接続のための取出し方式を図面を参照しながら説明する。

【0004】

図 5 及び図 6 は、5 型ワイドで約 40 万画素の液晶表示装置の概略形状を示すものである。図 5 は、従来のアモルファスシリコン薄膜トランジスタを用い、駆動用 IC を用いてフリップチップ方式で接続した液晶表示装置の平面構成と、その A-A' 断面を示す図である。また、図 6 は、駆動回路を多結晶シリコン薄膜で作成した場合の平面構成と、その B-B' 断面を示す図である。

【0005】

図 5 および図 6 において、同一名称については同一番号を付与している。1 はアレイ基板、2 は対向基板、3 はフレキシブル配線板、11 は駆動用 IC である。

【0006】

図 5 に示すように、IC をフリップチップ接続する方式では接続ピッチが現在の技術をこえる微細ピッチとなるため信号側回路部は上下に分割して両側から取出す構成となり、フレキシブル配線板を両側に設けてこれらをプリント基板(図示せず)に接続して回路を構成していた。

## 【 0 0 0 7 】

さらに、図 6 は駆動回路部を多結晶シリコン薄膜で形成したものである。従来のアモルファスシリコン薄膜トランジスタの場合とは異なり、片側ですべての信号側回路部を形成できるためフレキシブル配線板も一枚で良く、これをプリント基板と接続して回路を構成していた。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

上記したように、アモルファスシリコン薄膜トランジスタと駆動用 IC をフリップチップ接続する従来の方式では、高価なフレキシブル配線板が 2 枚も必要であり、かつ両側のフレキシブル配線板をバックライト側に配置したプリント基板で接続する構成となるため液晶装置として厚くなるという課題も生じる。

## 【 0 0 0 9 】

また、ポリシリコン薄膜トランジスタで駆動回路を形成する場合には接続ピッチの制約がないためフレキシブル配線板は片側のみで良く、その分低コストになるがフレキシブル配線板は比較的形状の大きなプリント基板と接続する必要があるため、アモルファスシリコン薄膜トランジスタの場合と同様にバックライト側に配置する構成となり、液晶装置として厚くなるという課題は同様である。

## 【 0 0 1 0 】

そこで、本発明は上記の問題点を解決することで、低コスト化と液晶装置の薄型化を実現することを目的とする。

## 【 0 0 1 1 】

## 【課題を解決するための手段】

上記の課題を解決するために本発明の中で、第 1 の発明の液晶表示装置は、駆動回路部が少なくとも多結晶シリコン薄膜トランジスタより構成され、かつ前記駆動回路部を含む薄膜配線領域上に絶縁膜を介して駆動回路部へ給電するための配線を形成したものである。このような構成とすることにより、本発明の液晶表示装置はフレキシブル配線板の低コスト化が実現でき、かつ薄型化を達成したものである。

## 【 0 0 1 2 】

また、本発明の第2の発明である液晶表示装置は、前記配線を印刷により形成することで、必要領域のみに低抵抗の導電材料を簡単に作成することができるものである。

## 【0013】

また、本発明の第3の発明である液晶表示装置の製造方法は、駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程、前記駆動回路部を含む薄膜配線領域上に絶縁膜を形成する工程、前記絶縁膜の所定部分をフォトリソによりエッチングして前記駆動回路部の配線電極の所定部分を露出させるようにビアホールを形成する工程、前記絶縁膜上に導電性インクを用いて所定形状に印刷すると同時にビアホールを通して前記駆動回路部の配線電極と電氣的接続を行う工程を少なくとも含む構成よりなり、前記絶縁膜は画素部や駆動回路部を保護するために設ける窒化シリコンや酸化ケイ素薄膜を用いたもので、特別に絶縁膜を形成する必要がなく、かつ耐熱性の良い絶縁膜を用いることで印刷形成する材料の硬化温度を高く設定でき、より低抵抗化を図ることができる。

## 【0014】

また、本発明の第4の発明である液晶表示装置の製造方法は、駆動回路部を多結晶シリコン薄膜で形成する工程、前記駆動回路部を含む基板の所定部分にビアホールを形成するように絶縁膜を印刷形成する工程、前記絶縁膜上に導電性インクを用いて所定形状に印刷すると同時にビアホールを介して前記駆動回路部の電極部と電氣的接続を行う工程を少なくとも有する構成であり、画素部や駆動回路部のトランジスタを保護する絶縁膜だけでなく、さらに低誘電率の絶縁膜を設けることで大電流が流れることによる電磁界的な影響を防ぐことができ、液晶表示装置の高性能化を達成できるものである。

## 【0015】

さらに、本発明の第5の発明である液晶表示装置の製造方法は、駆動回路部を多結晶シリコン薄膜で形成する工程、前記駆動回路部を含む基板と画素部分上に透明絶縁膜を塗布形成して平坦化膜を形成する工程、前記平坦化膜にフォトリソとエッチングプロセスにより前記駆動回路部と前記画素部分の所定個所にビアホールを設ける工程、前記平坦化膜上に透明導電膜を所定個所にパターン形成する

工程、前記駆動回路部への給電のための配線を透明導電膜を含む前記平坦化膜上に印刷形成する工程を少なくとも有する構成で、液晶表示装置の高開口率化のために作成する平坦化膜を駆動回路部上にも形成して絶縁膜として用いると同時に、駆動回路部の配線電極とは透明導電膜で電氣的接続されるようにしておくことで、微細なビアホールでも十分な導通が得られるようにし、より小型化を達成したものである。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について、まず図1を参照しながら説明をした後、種々の実施の形態について詳細に説明する。

【0017】

図1(A)は、本発明の一実施形態である液晶表示装置の平面と断面を示す図、図1(B)は、同液晶表示装置の要部断面図である。

【0018】

図1において、1は薄膜トランジスタを形成しているアレイ基板、2は対向基板、3は外部回路との接続のためのフレキシブル配線板、4はバスライン多層配線形成部、5はフレキシブル配線板とバスライン電極との接続のために使用する異方導電樹脂、6は層間絶縁膜、7はアレイ基板と対向基板間をシールするためのシール材、8はバスライン電極、9はビアホール、10はアレイ基板上に設けた薄膜トランジスタを含む薄膜配線領域、である。

【0019】

本発明のポイントは、要部断面図に示したようにアレイ基板上に形成した薄膜トランジスタを含む薄膜配線領域上に層間絶縁膜を形成した後、印刷方式で必要な個所のみに導電性ペーストを用いてバスライン電極を印刷することでアレイ基板上にて多層配線接続を実現し、フレキシブル配線板とプリント基板の大幅な小型化を達成し、液晶装置の薄型化を実現したものである。

【0020】

以下、この構成を実現するための本発明の製造方法の実施例について詳細に説明する。



## 【 0 0 2 1 】

## (実施の形態 1)

図 2 は、本発明の実施の形態 1 における液晶表示装置の製造方法の主要な作成工程を示す製造工程断面図である。

## 【 0 0 2 2 】

図 2 において、21 は透明絶縁性基板で、本形態ではコーニング社のガラス基板を用いた。22 は下地膜で、本形態ではプラズマ CVD により  $\text{SiO}_2$  膜を約 400nm 形成した。23 はポリシリコン膜であり、本形態ではアモルファスシリコン膜を形成後エキシマレーザにより溶融させてポリシリコン膜を作成した。24 はゲート絶縁膜で、本発明の実施の形態ではプラズマ CVD により  $\text{SiO}_2$  膜を約 90nm 形成した。25 はゲート電極で、本形態では Mo-W 合金膜をスパッタリングにより形成した。26 はポリシリコン膜 23、ゲート絶縁膜 24、及びゲート電極 25 を含めて構成した画素トランジスタである。なお、図 2 中には駆動回路を構成する p 型トランジスタ、n 型トランジスタが同様な構成で形成されている。

## 【 0 0 2 3 】

27 は層間絶縁膜で、本形態ではプラズマ CVD により  $\text{SiO}_2$  膜を約 400nm 形成した。28 は保護膜で、本発明の実施の形態ではプラズマ CVD により  $\text{SiN}_x$  膜を約 500nm 形成した。29 は平坦化膜で、本発明の実施の形態では感光性のアクリル系材料を塗布方式により約  $3\mu\text{m}$  形成した。30 は透明導電膜であり、本形態ではインジウムとスズの合金膜を約 75nm 形成した。8 はバスライン電極であり、本発明の実施の形態では京都エレックス(株)製の銀ペースト(DD-1662B-69)を用いて、スクリーン印刷で形成した。32 はバスライン電極 8 を保護するための印刷保護膜で、同様にアクリル系樹脂を用いてスクリーン印刷により形成した。33 はソース・ドレイン電極で、本形態では Ti/Al 二層構成膜をスパッタリングにより作製した。

## 【 0 0 2 4 】

以下、本発明の製造方法を示す実施形態について説明する。

## 【 0 0 2 5 】

図 2 (A) に示すように、画素部を含むアレイ基板を従来構成と同様にして作

製するが、保護膜のパターン形成時に駆動回路部を含む薄膜配線領域で外部回路と接続する配線電極部分も同時にエッチングしてビアホール 9 を形成しておく。

#### 【0026】

この後、図 2 (B)に示すようにバスライン電極 8 をスクリーン印刷し、180℃、30分の硬化により形成する。さらにその後、図 2 (C)に示すようにバスライン電極 8 の保護のために、スクリーン印刷で印刷保護膜 32 を形成する。

#### 【0027】

以上の製造方法によりアレイ基板上にバスライン多層配線形成部が形成される。

#### 【0028】

本形態で作成したバスライン電極はシート抵抗が約  $0.02 \text{ m}\Omega/\square$  で、印刷幅としては  $100 \mu\text{m}$  としたため、信号及び電源配線としては十分低い抵抗が実現できた。本形態では、従来アレイ基板で使用されていた保護膜 28 をそのままバスライン多層配線部の層間絶縁膜として用いたため、新たに層間絶縁膜を形成する必要がなく、製造方法としては非常に簡単なことが特徴である。

#### 【0029】

##### (実施の形態 2)

図 3 は、本発明の実施の形態 2 の製造方法について説明するための製造工程の要部断面図である。本形態でも、コーニング社のガラス基板 21 を用いて、下地膜としてプラズマ CVD により  $\text{SiO}_2$  膜を約  $400 \text{ nm}$  形成した。23 はポリシリコン膜、24 はゲート絶縁膜、25 はゲート電極膜で、これらを含めて画素トランジスタ 26 が構成されている。駆動回路部には p 型、n 型のトランジスタと各種配線による薄膜配線領域が設けられている。27 は層間絶縁膜、28 は保護膜、30 は透明導電膜、8 はバスライン電極、33 はソース・ドレイン電極である。これらは、実施の形態 1 と同様なプロセス、膜厚で作製したので、詳細は省略する。34 は印刷層間絶縁膜で、本形態ではポリイミド系樹脂をスクリーン印刷して  $300^\circ\text{C}$ 、20 分の硬化により形成した。

#### 【0030】

以下、各要部断面図を用いて製造方法について説明する。

## 【0031】

図3(A)に示すように、保護膜28をパターン形成する時に駆動回路部の所定部分も同時にエッチング加工してビアホール9を形成し、その後保護膜28の画素部上に透明導電膜30を成膜するとともに所定形状にパターン加工する。

## 【0032】

次に図3(B)に示すように、駆動回路部を含む薄膜配線領域上に印刷により印刷層間絶縁膜34を形成した。このとき、印刷層間絶縁膜34の膜厚は約 $15\mu\text{m}$ とした。この時の印刷時には、保護膜28であけたビアホール部と印刷形成するビアホール部が概略一致するようにパターン合せが要求される。その後図3(C)に示すように、バスライン電極をスクリーン印刷で印刷してプロセスが完了する。

## 【0033】

このようにして作製した液晶表示装置は、大電流が流れるバスライン部と薄膜トランジスタがある駆動回路部とは低誘電率のポリイミドを $15\mu\text{m}$ と厚く形成して分離したので、電磁界的な影響を防止でき高速の駆動においても十分対応できるものが実現できた。

## 【0034】

## (実施の形態3)

本発明の実施の形態3の製造方法について図4を用いて説明する。

## 【0035】

本形態でも薄膜トランジスタを含む工程は実施の形態1と同様にして作製した。21はコーニング社のガラス基板、22は下地膜、23はポリシリコン膜、24はゲート絶縁膜、25はゲート電極で、ポリシリコン膜23、ゲート絶縁膜24及びゲート電極25から画素トランジスタ26が構成されている。27は層間絶縁膜、28は保護膜、29は平坦化膜、30は透明導電膜、8はバスライン電極、32は印刷保護膜、33はソース・ドレイン電極である。

## 【0036】

以下、要部断面図を基に製造プロセスを説明する。図4(A)に示すように、保護膜28について、駆動回路部のバスライン電極8と接続する個所を含めて画素

領域をフォトリソとエッチングプロセスによりビアホール 9 を形成する。その後、アクリル系の感光性樹脂を塗布して平坦化膜 2 9 を約  $5\ \mu\text{m}$  の厚さに作成し、フォトリソとエッチングにより同様にビアホール 9 を形成する。この時、駆動回路部のバスライン電極 8 との接続部が開口するようにパターン形成することは当然である。さらにその後、透明導電膜 3 0 として I T O (インジウムスズ酸化物) をスパッタリングにより形成し、画素部及び駆動回路部の接続電極部とのコンタクトを作成する。

## 【 0 0 3 7 】

次に、図 4 (B) に示すようにバスライン電極をスクリーン印刷で印刷形成する。その後図 4 (C) に示すように、バスライン電極 8 を保護するためにアクリル系樹脂をスクリーン印刷して印刷保護膜 3 2 を形成して液晶表示装置が完成する。

## 【 0 0 3 8 】

本形態ではバスライン電極 8 の層間絶縁膜として高開口率化のために作成する平坦化膜を用い、かつ駆動回路部の接続電極とのコンタクトを透明導電膜で行っているため、バスライン電極では駆動回路部の接続電極と直接コンタクトさせる必要がなく、ビアホールはフォトリソで加工して十分小さくでき、より小型化と接続電極部との信頼性の高いコンタクトを得られることが特徴である。

## 【 0 0 3 9 】

なお、本形態ではトップゲート型構造の液晶表示装置を例にして説明したが、本発明の実施形態はトップゲート型構造に限定されるものではなく、ボトムゲート構造でも同様に実現されることは説明するまでもない。

## 【 0 0 4 0 】

また、バスライン電極として銀ペーストを用いたが、約  $400^{\circ}\text{C}$  以下で硬化可能な材料でシート抵抗が約  $0.05\ \text{m}\Omega/\square$  程度以下であれば、銅、金、あるいはこれらの合金等色々な導電材料が使用可能である。

## 【 0 0 4 1 】

また、さらにスクリーン印刷を例に説明したが、印刷手法としてスクリーン印刷に限定されるものでなく、描画方式、凹版印刷方式やインクジェット印刷方式等も使用可能である。

【 0 0 4 2 】

また更に、印刷層間絶縁膜としてもポリイミド系材料だけでなく、上記実施形態でも説明したようにアクリル系感光性樹脂等 4 0 0 ℃以下の温度で硬化でき、かつ印刷あるいは塗布形成できる材料であれば特に制約はない。

【 0 0 4 3 】

本発明の実施の形態では、バスライン電極の保護のために印刷保護膜を形成してより信頼性の高い液晶装置を作成する方式について説明したが、これは本発明の特許としての必須要件ではないことを付け加えておく。

【 0 0 4 4 】

【発明の効果】

本発明によれば、多結晶シリコン薄膜トランジスタを用いた駆動回路部を含む薄膜配線領域上にバスライン多層配線形成部を設けることができるため、液晶表示装置の小型形状を維持したままフレキシブル配線板およびプリント基板を大幅に小型化でき、装置の薄型化と低コスト化に大きな効果がある。

【図面の簡単な説明】

【図 1】

(A) 本発明の実施の一形態である液晶表示装置の平面および断面を示す図

(B) 同要部断面図

【図 2】

本発明の実施の形態 1 における液晶表示装置の製造工程主要断面図

【図 3】

本発明の実施の形態 2 における液晶表示装置の製造工程主要断面図

【図 4】

本発明の実施の形態 3 における液晶表示装置の製造工程主要断面図

【図 5】

従来のアモルファスシリコン薄膜と駆動用 IC をフリップチップ接続して構成した液晶表示装置の平面構成図

【図 6】

従来のポリシリコン薄膜トランジスタを用いて作成した液晶表示装置の平面構

成図

【符号の説明】

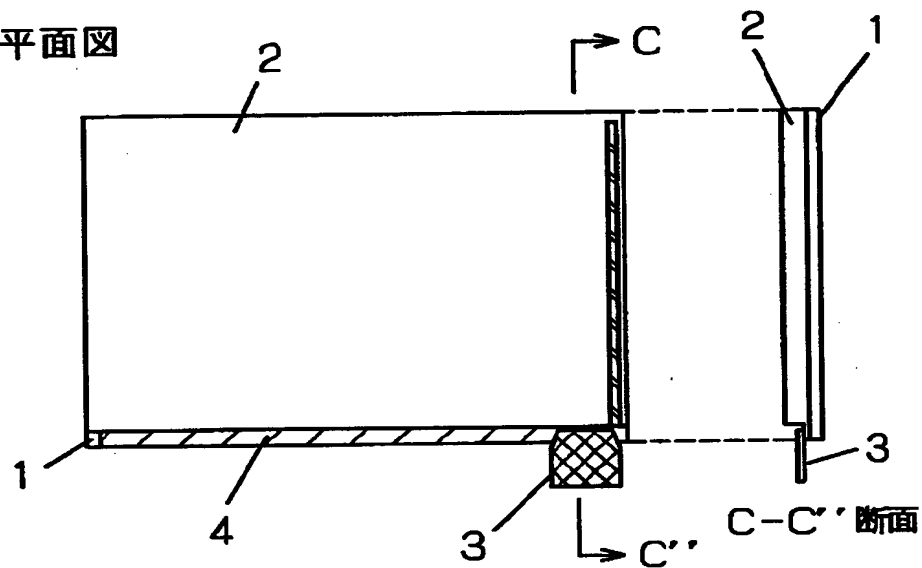
- 1 アレイ基板
- 2 対向基板
- 3 フレキシブル配線板
- 3 a 配線電極
- 3 b 絶縁フィルム
- 4 バスライン多層配線形成部
- 5 異方導電樹脂
- 6 バスライン部層間絶縁膜
- 7 シール材
- 8 バスライン電極
- 9 ピアホール
- 1 0 薄膜配線
- 1 1 駆動用 I C
- 2 1 ガラス基板
- 2 2 下地膜
- 2 3 ポリシリコン膜
- 2 4 ゲート絶縁膜
- 2 5 ゲート電極
- 2 6 画素トランジスタ
- 2 7 層間絶縁膜
- 2 8 保護膜
- 2 9 平坦化膜
- 3 0 透明導電膜
- 3 2 印刷保護膜
- 3 3 ソース・ドレイン電極
- 3 4 印刷層間絶縁膜

【書類名】 図面

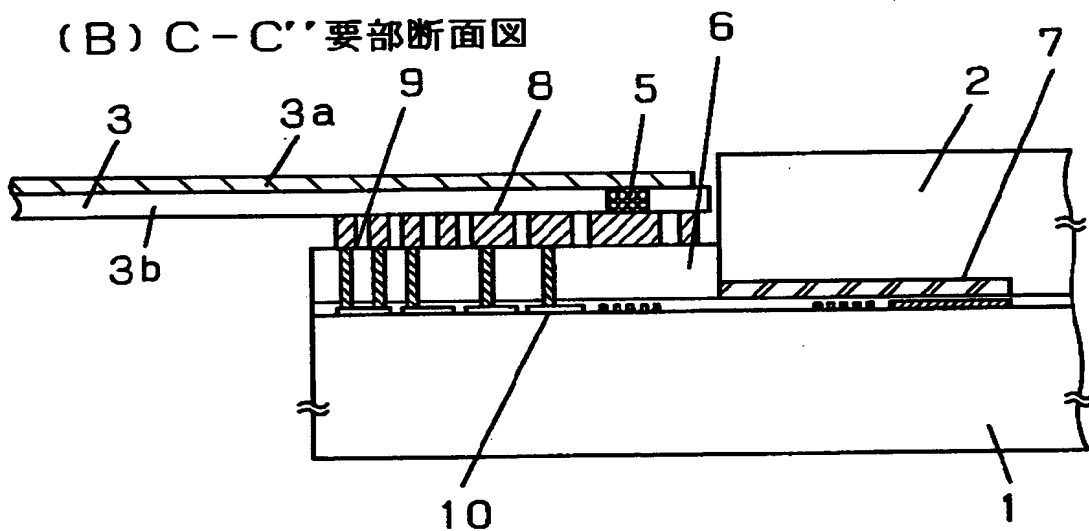
【図 1】

- |    |              |    |             |
|----|--------------|----|-------------|
| 1  | アレイ基板        | 5  | 異方導電樹脂      |
| 2  | 対向基板         | 6  | バスライン部層間絶縁膜 |
| 3  | フレキシブル配線板    | 7  | シール材        |
| 3a | 配線電極         | 8  | バスライン電極     |
| 3b | 絶縁フィルム       | 9  | ビアホール       |
| 4  | バスライン多層配線形成部 | 10 | 薄膜配線        |

(A) 平面図



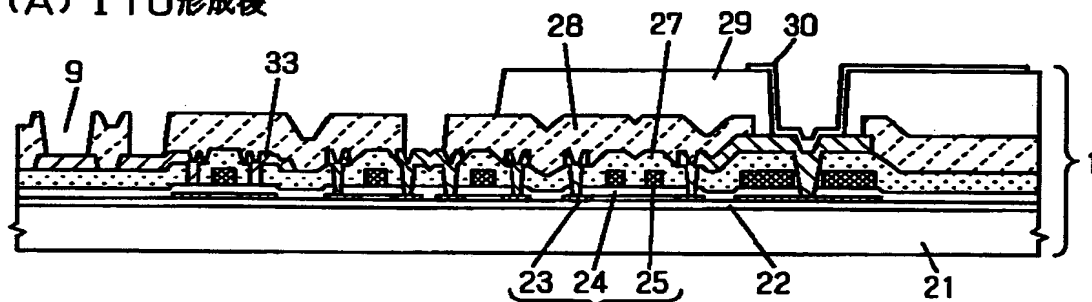
(B) C-C' 要部断面図



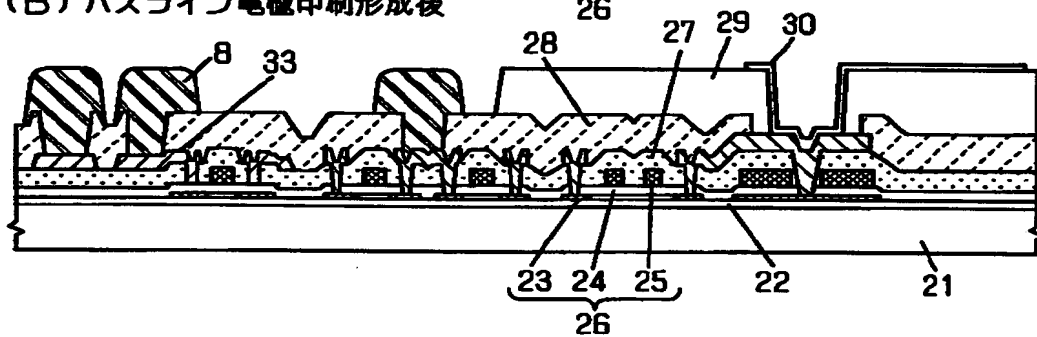
【図 2】

- |    |         |    |            |
|----|---------|----|------------|
| 1  | アレイ基板   | 26 | 画素トランジスタ   |
| 8  | バスライン電極 | 27 | 層間絶縁膜      |
| 9  | ビアホール   | 28 | 保護膜        |
| 21 | ガラス基板   | 29 | 平坦化膜       |
| 22 | 下地膜     | 30 | 透明導電膜      |
| 23 | ポリシリコン膜 | 32 | 印刷保護膜      |
| 24 | ゲート絶縁膜  | 33 | ソース・ドレイン電極 |
| 25 | ゲート電極   |    |            |

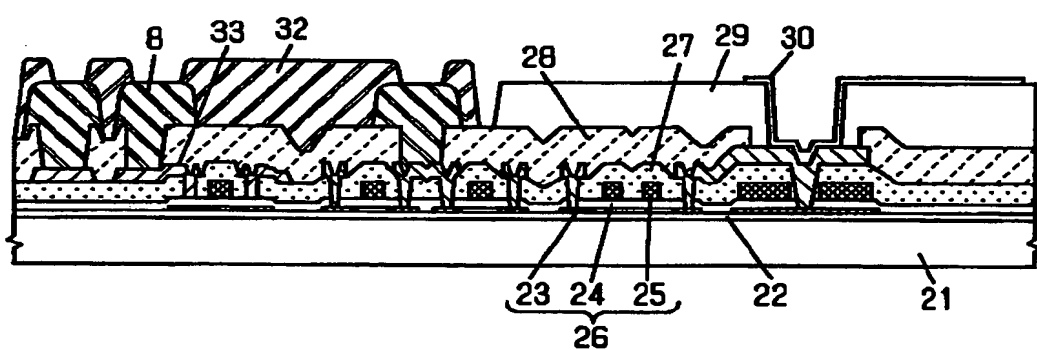
(A) ITO形成後



(B) バスライン電極印刷形成後



(C) 印刷保護膜形成後

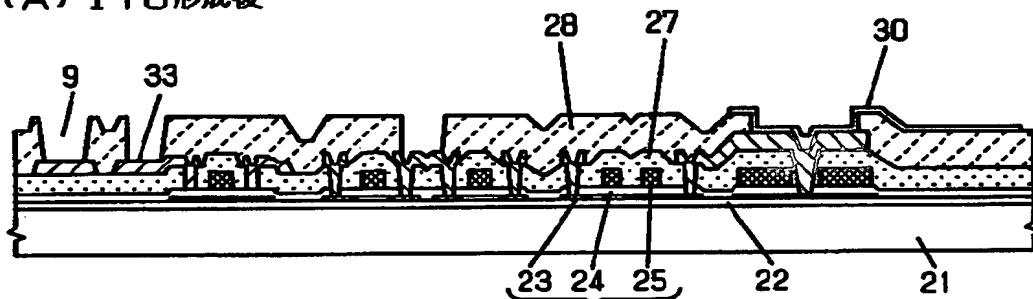




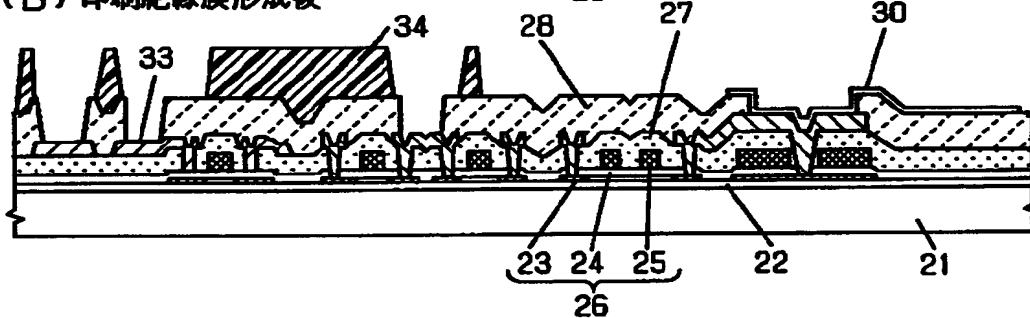
【図 3】

- |    |         |    |            |
|----|---------|----|------------|
| 8  | バスライン電極 | 26 | 画素トランジスタ   |
| 9  | ビアホール   | 27 | 層間絶縁膜      |
| 21 | ガラス基板   | 28 | 保護膜        |
| 22 | 下地膜     | 30 | 透明導電膜      |
| 23 | ポリシリコン膜 | 33 | ソース・ドレイン電極 |
| 24 | ゲート絶縁膜  | 34 | 印刷層間絶縁膜    |
| 25 | ゲート電極   |    |            |

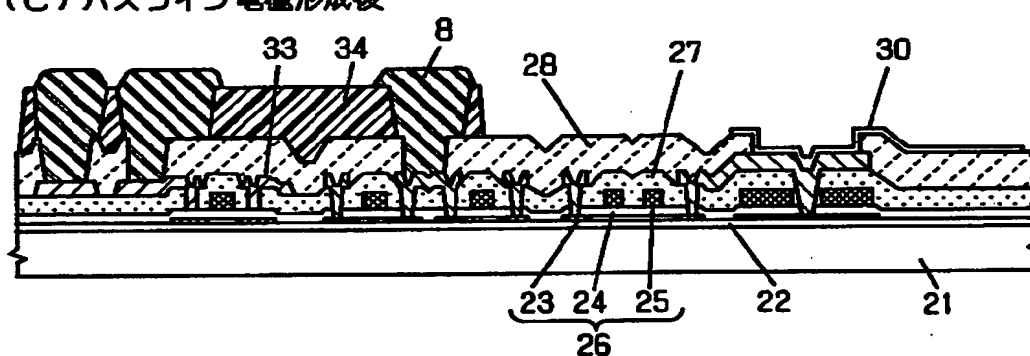
(A) ITO形成後



(B) 印刷絶縁膜形成後



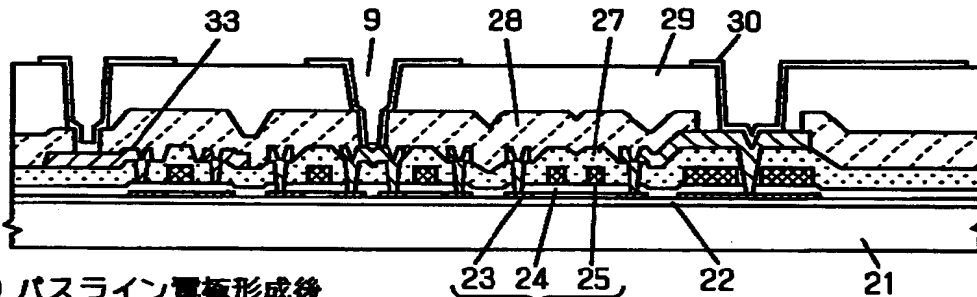
(C) バスライン電極形成後



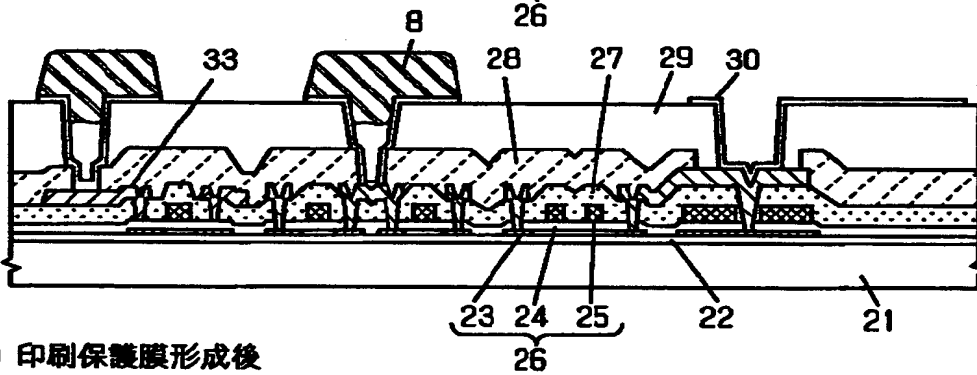
【図 4】

- |    |         |    |            |
|----|---------|----|------------|
| 8  | バスライン電極 | 26 | 画素トランジスタ   |
| 21 | ガラス基板   | 27 | 層間絶縁膜      |
| 22 | 下地膜     | 28 | 保護膜        |
| 23 | ポリシリコン膜 | 29 | 平坦化膜       |
| 24 | ゲート絶縁膜  | 30 | 透明導電膜      |
| 25 | ゲート電極   | 32 | 印刷保護膜      |
|    |         | 33 | ソース・ドレイン電極 |

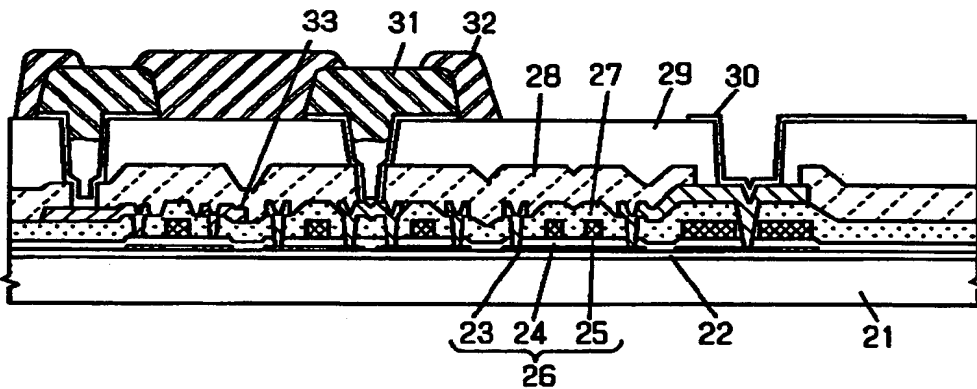
(A) ITO形成後



(B) バスライン電極形成後

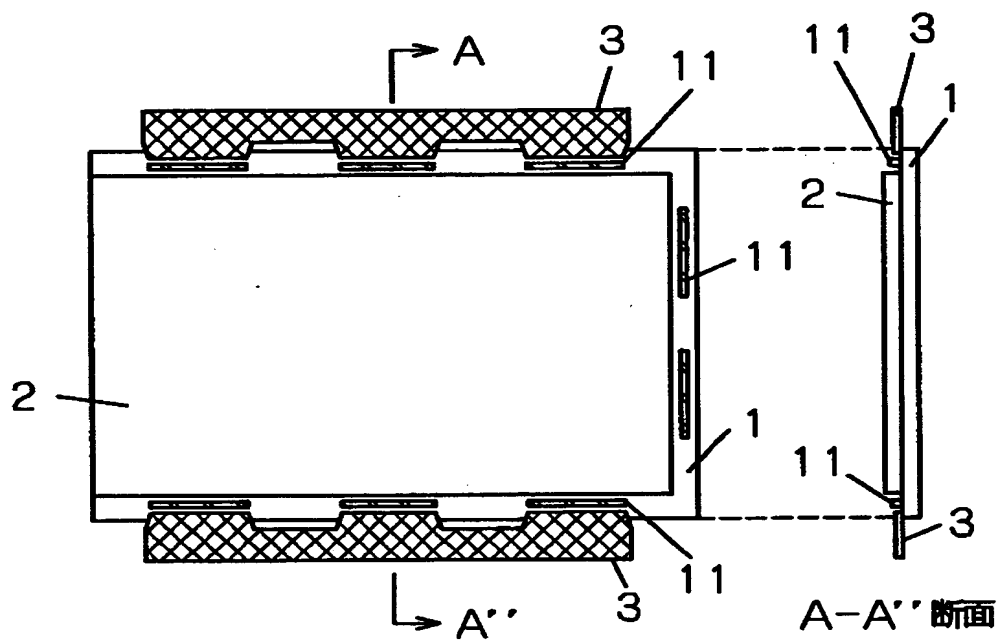


(C) 印刷保護膜形成後



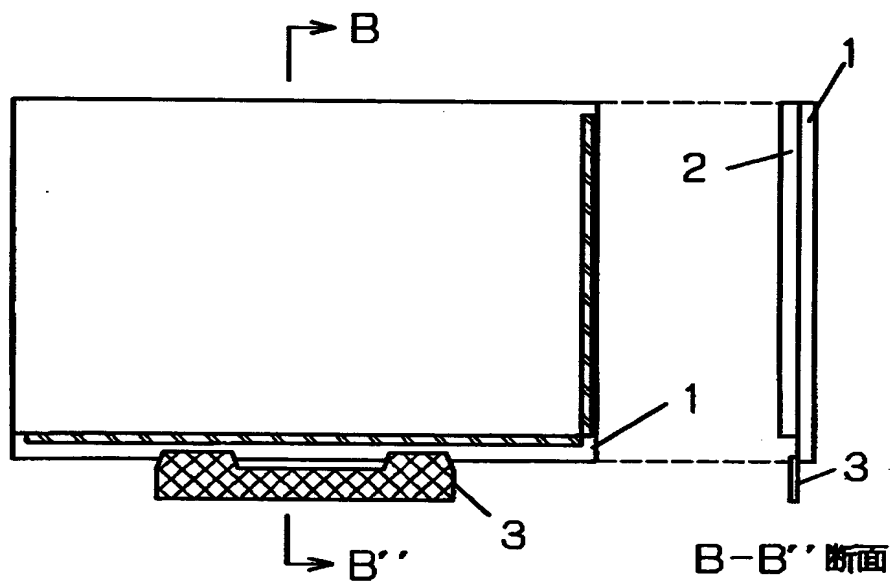
【図 5】

- 1 アレイ基板
- 2 対向基板
- 3 フレキシブル配線板
- 11 駆動用 I C



【図 6】

- 1 アレイ基板
- 2 対向基板
- 3 フレキシブル配線板



【書類名】 要約書

【要約】

【課題】 アモルファスシリコン薄膜トランジスタと駆動用 I C をフリップチップ接続する方式では、二枚のフレキシブル配線板をバックライト側に配置する構成となるため液晶装置として厚くなる。また、ポリシリコン薄膜トランジスタで駆動回路を形成する場合には、フレキシブル配線板は比較的形状の大きなプリント基板と接続する必要があるためバックライト側に配置する構成となり、液晶装置が厚くなる。

【解決手段】 駆動回路部が少なくとも多結晶シリコン薄膜トランジスタより構成され、かつ前記駆動回路部を含む薄膜配線領域上に絶縁膜を介して駆動回路部へ給電するための配線を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[ 変更理由 ] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社

09/831315  
PCT/JP00/05945

03.10.00

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JP00/5945

REC'D 28 NOV 2000

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年 9月13日

出願番号  
Application Number:

平成11年特許願第259304号

出願人  
Applicant(s):

松下電器産業株式会社

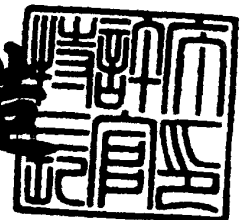
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月10日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3092486

【書類名】 特許願  
 【整理番号】 2036400157  
 【提出日】 平成11年 9月13日  
 【あて先】 特許庁長官 伊佐山 建志 殿  
 【国際特許分類】 G02F 1/1343

【発明者】  
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
 【氏名】 南野 裕

【発明者】  
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
 【氏名】 倉増 敬三郎

【特許出願人】  
 【識別番号】 000005821  
 【氏名又は名称】 松下電器産業株式会社

【代理人】  
 【識別番号】 100101823  
 【弁理士】  
 【氏名又は名称】 大前 要

【手数料の表示】  
 【予納台帳番号】 039295  
 【納付金額】 21,000円

【提出物件の目録】  
 【物件名】 明細書 1  
 【物件名】 図面 1  
 【物件名】 要約書 1  
 【包括委任状番号】 9721050

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 駆動回路一体型アクティブマトリックス基板およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁性基板上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部と、液晶表示部を駆動する駆動回路とが形成された駆動回路一体型アクティブマトリックス基板であって、

前記絶縁性基板の周辺部に凹溝が形成され、

この凹溝に、前記駆動回路の共通配線部分の一部あるいは全部をなす金属配線が埋め込まれた構成となっていることを特徴とする駆動回路一体型アクティブマトリックス基板。

【請求項 2】 絶縁性基板上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部と、液晶表示部を駆動する駆動回路とを形成する工程と、

前記絶縁性基板上にレジスト層を形成するレジスト層形成工程と、

前記レジスト層への露光・現像を行って、レジスト層のうち凹溝を形成すべき部分に対応する部分のみを除去する除去工程と、

エッチング法により絶縁性基板の前記レジスト層が除去された部分を窪ませて、凹溝を形成する凹溝形成工程と、

凹溝に金属配線を形成する金属配線形成工程と、

金属配線形成工程後に、レジスト層を絶縁基板上から剥離する剥離工程と、

を有することを特徴とする駆動回路一体型アクティブマトリックス基板の製造方法。

【請求項 3】 前記エッチング法がエッチング液を使用する化学的エッチング法であることを特徴とする請求項 2 記載の駆動回路一体型アクティブマトリックス基板の製造方法。

【請求項 4】 前記エッチング法がサンドブラスト法であることを特徴とする請求項 2 記載の駆動回路一体型アクティブマトリックス基板の製造方法。

【請求項 5】 絶縁性基板上に、薄膜トランジスタで構成されるマトリックス

アレイを備えた液晶表示部と、液晶表示部を駆動する駆動回路とが形成された駆動回路一体型アクティブマトリックス基板であって、

前記絶縁性基板の少なくとも周辺部に有機樹脂層が形成されており、この有機樹脂層内に、前記駆動回路の共通配線部分の一部あるいは全部をなす金属配線が埋め込まれた構成となっていることを特徴とする駆動回路一体型アクティブマトリックス基板。

【請求項 6】 前記有機樹脂が感光性樹脂から成り、この有機樹脂にはフォトリソグラフィ法によりコンタクトホールが形成されており、このコンタクトホールに充填された接続電極を介して前記金属配線が前記駆動回路と電氣的に接続されていることを特徴とする請求項 5 項記載の駆動回路一体型アクティブマトリックス基板。

【請求項 7】 前記金属配線がスクリーン印刷により形成された熱硬化型の導電性樹脂であることを特徴とする請求項 5 又は 6 記載の駆動回路一体型アクティブマトリックス基板。

【請求項 8】 前記金属配線が予め成形された金属細線であることを特徴とする請求項 1 又は 5 に記載の駆動回路一体型アクティブマトリックス基板。

【請求項 9】 前記金属配線がメッキ工法にて作製されたものであることを特徴とする請求項 1 又は 5 に記載の駆動回路一体型アクティブマトリックス基板。

【請求項 10】 前記メッキ工法により作製された金属配線が、銅箔層、銅メッキ層、金ニッケルメッキ層の積層構造をなしていることを特徴とする請求項 9 記載の駆動回路一体型アクティブマトリックス基板。

【請求項 11】 前記金属配線が、予め薄い導電層を形成し該導電層上に異なる複数の金属層を選択的に堆積する選択堆積方法により形成された金属配線であることを特徴とする請求項 1 又は 5 に記載の駆動回路一体型アクティブマトリックス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリックス方式で駆動回路一体型の液晶表示パネルに

用いられるアクティブマトリックス基板およびその製造方法に関するものである。

【0002】

【従来の技術】

従来、アモルファスシリコントランジスタ（以下 a-Si と記す）で形成されているアクティブマトリックス型の液晶表示装置は、画素の駆動としての性能は a-Si で十分に満たされているが、同一の基板上に同じプロセスで信号線の駆動回路を構成することは性能上困難であり、単結晶 Si によって形成された外付けの駆動回路（ドライバー）を用いてパネルを駆動している。

【0003】

従って、ドライバーは IC チップをアレイ基板に接続しなければならない。この接続方法としては図 17 に示すようにテープキャリアフィルム上にドライバーを実装し、これを液晶パネルのアレイ基板に接続する方法（テープキャリアパッケージ：TCP）がある。

【0004】

これに対して薄型、軽量を目的として上記ドライバーを液晶パネルに直接実装する（チップオンガラス：COG）方法が提案されている。この方法では前述のテープキャリアが不要となりコスト低減が図れると共にドライバーの接続を含んだ液晶パネルトータルの接続点数が  $1/3 \sim 1/5$  に減るため、接続不良に対する信頼性が向上する。この方式を図 18 に示す。

【0005】

しかしながら、COGにおいても、ドライバ IC チップの接続点数が TCP より少ないものの、やはり多くの端子を接続するための高精度な実装工程を必要とし、大幅な信頼性の向上や製造コストの低減を図ることは困難である。

【0006】

一方、アモルファスシリコン TFT に対してポリシリコン TFT（以下 p-Si-TFT と記す）をアクティブマトリックスのスイッチング素子として用いた液晶表示装置の場合は、半導体層の移動度が a-Si の移動度に対して 1 ケタ～2 ケタ以上高いため（SID' 97 p171）、画面内のアクティブマトリッ

クス素子と信号駆動回路の一部あるいは全部をガラス基板上に同時に形成、内蔵することができる。

#### 【0007】

上記ドライバ回路は、具体的には例えば図19に示すようにpチャンネルTFT4とnチャンネルTFT5とからなる多数のCMOS (Complimentary Metal Oxide Semiconductor) インバータ6などによってシフトレジスタやラッチ等が形成されて構成されている。またpチャンネルTFT4…を接続する配線や、電源配線、画像信号線等は、ガラス基板に形成された例えば膜厚が7000Å程度のアルミニウム薄膜などにより構成されている。

#### 【0008】

##### 【発明が解決しようとする課題】

しかしながら、上記従来の液晶表示装置は、p-Si-TFTの特性、および電源配線の配線抵抗に起因して、各シフトレジスタ等に供給される電源電圧の電圧降下が生じるため、電源配線の配線幅をかなり広くしたり、電源電圧をかなり高く設定したりしなければ、ドライバ回路を適正に動作させることができないという問題点を有していた。

#### 【0009】

すなわち、上記p-Si-TFTは、上記のようにa-Si-TFTよりも高速な動作速度が得られるものの、例えば Displays Volume 14 Number 2 1993 pp.104-114 "Integrated driver circuits for active matrix liquid crystal displays" (図20) に示されるように、ICチップなどを構成する単結晶シリコンを用いたトランジスタに比較して、OFF時電流、およびサブスレッショルド領域で流れる電流が大きい。これは、ポリシリコン中でのグレインバウンダリ準位を介したキャリアのホッピング (Memorandum No.UCB/ERL M93/82)、またはゲート絶縁層中に存在するイオンによる固定電荷の影響 (同) によるものと推測されている。このため、CMOSインバータのスイッチングの際に、サブスレッショルド領域におけるドレイン電流の増加に伴って、大きな貫通電流が流れる。

#### 【0010】

より詳しくは、図 21、および以下に示すような動作によって貫通電流が流れる。

【0011】

(1) 入力電圧 (ゲート電圧)  $V_{in}$  が 0 V の場合には、p チャンネル T F T 4 は導通状態、n チャンネル T F T 5 は非導通状態になり、出力電圧  $V_{out}$  はハイレベル ( $5V = V_{dd}$ ) になる。この状態では、p チャンネル T F T 4 のソースから n チャンネル T F T 5 のドレインにかけての貫通電流 (直流パス電流) はほとんど流れない。

【0012】

(2) 入力電圧  $V_{in}$  が上昇して、n チャンネル T F T 5 の閾値電圧  $V_{th}(n)$  (電圧 A) を越え、電圧 B になるまでは、p チャンネル T F T 4 は飽和動作領域でほぼ導通状態が維持されるとともに、n チャンネル T F T 5 は非飽和動作領域で、入力電圧  $V_{in}$  に応じたドレイン電流が流れ始めるため、貫通電流が徐々に増大するとともに、出力電圧  $V_{out}$  が徐々に低下する。

【0013】

(3) 入力電圧  $V_{in}$  がさらに上昇して、電圧 B から電圧 D になるまでの間は、p , n チャンネル T F T 4 , 5 が共に非飽和動作領域で入力電圧  $V_{in}$  に応じたドレイン電流が流れるため、電圧 C のときに貫通電流が最大になるとともに、出力電圧  $V_{out}$  が急激に低下する。

【0014】

(4) 入力電圧  $V_{in}$  が電圧 D を越えると、p チャンネル T F T 4 は、やはり非飽和動作領域で、入力電圧  $V_{in}$  に応じたドレイン電流が流れるとともに、n チャンネル T F T 5 は飽和動作領域になってほぼ導通状態になり、貫通電流が減少するとともに、出力電圧  $V_{out}$  が漸近的にローレベル (0 V) に近づく。

【0015】

(5) 入力電圧  $V_{in}$  が p チャンネル T F T 4 の閾値電圧  $V_{th}(p)$  (電圧 E) を越えると、p チャンネル T F T 4 は非導通状態、n チャンネル T F T 5 は導通状態になり、出力電圧  $V_{out}$  はローレベル (0 V) になるとともに、貫通電流はほとんど流れなくなる。

## 【0016】

上記のような貫通電流が流れることによって、例えば電源配線の配線抵抗によって生じる電圧低下量が1.5V以上になると、シフトレジスタやラッチの駆動電圧のマージンが小さくなり、ドライバ回路を適正に動作させることが困難になる。具体的には、例えば対角寸法が20cmの液晶表示装置を構成するとすると、電源配線には、160mA程度の電流が流れるため、電圧低下量を1.5V以下に抑えるためには、電源配線の配線抵抗を9Ω程度以下にする必要があり、電源配線のシート抵抗が0.1Ωであれば、配線幅を1本あたり3.4mm以上にしなければ、ドライバ回路を適正に動作させることができない。

## 【0017】

このような問題点は、表示画素数が多い液晶表示装置や、カラー画像を表示する液晶表示装置の場合には、設けられるシフトレジスタ等の段数が多く、電源電圧の低下量が大きくなるために、一層顕著なものとなる。また、画面サイズが大きいほど、電源配線が長くなるために、やはり、電源電圧の低下量が大きくなる。さらに、上記のような問題点は、アナログ画像信号が入力される液晶表示装置でも、デジタル画像信号が入力される液晶表示装置でも生じるが、特に後者の場合には、シフトレジスタに加えて、デジタル画像信号のビット数に応じたラッチ回路やD/Aコンバータを備えているために貫通電流が大きくなり、さらに顕著なものとなる。

## 【0018】

また、例えば特公平4-3552に示されるような、画像信号電圧を順次各画素電極に印加するいわゆる点順次駆動の液晶表示装置や、SID 96 DIGEST pp.21-24に示されるような、1水平期間分の画像信号を一旦保持した後、水平ラインの各画素電極に同時に画像信号電圧を印加する、いわゆる線順次駆動の液晶表示装置においても、上記問題点は同様である。

## 【0019】

本発明は、上記の点に鑑み、周辺部分の面積を増加させることなく、駆動回路の電源ラインあるいはデータ配線に代表される共通配線部分の抵抗値を下げることにより、電源電圧の低下量を小さく抑えて駆動回路を確実に動作させることが

できると共に、高解像度化や狭額縁化の液晶表示装置を実現することができる駆動回路一体型アクティブマトリックス基板およびその製造方法を提供することを目的とする。

#### 【0020】

##### 【課題を解決するための手段】

本発明は、上記配線抵抗にかかる問題点を解決するため以下の構成を提案するものである。

#### 【0021】

(1) 即ち、本発明は、絶縁性基板上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部と、液晶表示部を駆動する駆動回路とが形成された駆動回路一体型アクティブマトリックス基板であって、前記絶縁性基板の周辺部に凹溝が形成され、この凹溝に、前記駆動回路の共通配線部分の一部あるいは全部をなす金属配線が埋め込まれた構成となっていることを特徴とする。

#### 【0022】

このような構成によれば、凹溝の深さを大きくして金属配線の厚みを大きくすることにより、配線抵抗を小さくして電源電圧の電圧降下を小さく抑えることができ、この結果、駆動回路を確実に動作させることが可能となる。

#### 【0023】

また、絶縁性基板の周辺部分の面積を増加させることなく配線抵抗を下げるので、狭額縁化の液晶表示装置を実現することが可能となる。

#### 【0024】

更に、金属配線が絶縁性基板に埋め込まれた構造であるので、金属配線と駆動回路を接続する接続配線や、これらを被覆して形成される絶縁層に、段差が生じることがなく、平坦化が達成されている。よって、セルギャップが均一に保持された液晶表示パネルを構成することが可能となる。

#### 【0025】

絶縁性基板に金属配線を埋め込む方法として、絶縁性基板にレジストを塗布し、サンドブラスト法により絶縁性基板の物理的エッチングを行うことで窪みを設け、次に金属配線を形成した後レジストを剥離することによって形成するか、あ

るいはエッチング液を用いて化学的にガラスを腐食して窪みをもうける方法などを選択することが可能である。サンドブラスト法などの物理的エッチングは、装置が簡略であり、その工程にかかるコストも少ないが、配線幅の微細化の点においては、次に述べるエッチング液による方法に対して劣る。これに対してエッチング液を用いた化学的エッチングは、装置などの工程にかかるコストは大きい、エッチング精度という点においてはサンドブラスト法に対して優れている。

## 【0026】

(2) また 本発明は、絶縁性基板上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部と、液晶表示部を駆動する駆動回路とが形成された駆動回路一体型アクティブマトリックス基板であって、前記絶縁性基板の少なくとも周辺部に有機樹脂層が形成されており、この有機樹脂層内に、前記駆動回路の共通配線部分の一部あるいは全部をなす金属配線が埋め込まれた構成となっていることを特徴とする。

## 【0027】

このような構成によれば、埋め込み配線構造により、上記発明と同様に絶縁性基板の周辺部分の面積を増加させることなく配線抵抗を下げることができるので、狭額縁化の液晶表示装置を実現することが可能となる。

## 【0028】

また、樹脂層が平坦化層の役割を果たすため、上記発明と同様にセルギャップが均一に保持された液晶表示パネルを構成することが可能となる。

## 【0029】

また、樹脂材料として感光性のある材料を使えば、レジストをコーティングする必要がなくなり、その加工性もガラス基板に比較して容易である。さらにこの有機樹脂をスクリーン版を用いて周辺部など必要な部分のみコーティングする事も可能である。あるいはこの樹脂に埋め込むべき金属配線として熱硬化型の導電性樹脂を用い、スクリーン版を用いて配線を印刷することも可能である。

## 【0030】

(3) 上記2つの構成に加えて、埋め込む配線を薄膜あるいは厚膜にかえて金属細線を用いることも可能である。



## 【0031】

(4) さらに共通配線部分の抵抗を下げるために、その膜厚を厚くする手段としてメッキ工法を用いてもよい。メッキの材料としては低抵抗化に有効な銅メッキ、ニッケルメッキ、クロムメッキ及びアルミニウムメッキを採用することが可能である。またこれらの合金メッキを用いることも可能である。さらにメッキの手段として銅箔、銅メッキ層、金ニッケルメッキ層の層構造を採用することで安定した配線を形成することが可能となる。

## 【0032】

(5) ここで、埋め込み配線構造とすることにより、共通配線の抵抗値を大幅に低減することができる理由を、具体的に説明する。例えば、対角 20 cm の液晶パネルにおいて、ポリシリコンを用いた駆動回路のシフトレジスタの電源ラインに瞬時的に流れる電流値を測定すると 800 mA 程度流れる。従って、電源ラインを一般的に液晶パネルの作成プロセスにおける低抵抗配線材料として用いられる A1 とした場合、電源ラインの電圧降下を 1.5 V 以内に押さえるには、配線抵抗を 1.8  $\Omega$  以下に押さえることが必要となり、A1 のシート抵抗を 0.1  $\Omega$ /□ とするとこの配線幅をプラス側とマイナス側トータルで 13 mm 程度の配線幅が必要となる。これに対し、例えばメッキ工法を用いれば、配線の膜厚を 1  $\mu\text{m}$  ~ 10  $\mu\text{m}$  とすることは容易であり、例えば A1 の膜厚を 4  $\mu\text{m}$  とすることでシート抵抗を 0.01  $\Omega$ /□ とすることができる。メッキによる配線幅が 4 ~ 5 mm 程度あればこれにより配線抵抗は 0.1  $\Omega$  程度でありこれによる電圧降下は問題とならない。ここでは、埋め込み配線がメッキ工法で形成されたものについて説明したけれども、金属細線やその他の本発明に従う構成のものについても同様に当てはまる。例えば、金属細線の場合であれば、上記例に適用しようとするれば、直径を 1  $\mu\text{m}$  ~ 10  $\mu\text{m}$  とすれば、配線抵抗は 0.1  $\Omega$  程度となり、上記メッキ工法と同様の効果を得ることができる。

## 【0033】

勿論、電源ライン以外の他の共通配線、例えばデータ線、シフトレジスタのクロック線等の配線抵抗による信号の遅延が課題となるような部分にも、埋め込み配線構造とすることにより、電源ラインと同様な作用効果を奏することになる。

## 【0034】

## 【発明の実施の形態】

## (実施の形態1)

図1は本発明に係るアクティブマトリックス基板を備えた液晶表示装置の構成を示す平面図であり、図2は液晶表示装置の回路図である。実施の形態1として、表示画素数が1024×768（いわゆるXGAモード）、画素サイズが57μm角で、赤、緑、および黄のアナログ画像信号が入力されてカラー画像を表示する12.1インチ型の液晶表示装置について説明する。

## 【0035】

この液晶表示装置は、図1に示すように、アクティブマトリックス基板12と、対向基板13と、基板12、13間に配置された液晶層11と、基板12、13の両側に配置された偏光板14、15と、偏光板14の外方側に配置されたバックライト16とを有する。上記対向基板13はガラス基板である。この対向基板13の内側面には、マイクロカラーフィルタ17、および対向電極18が形成されている。一方、アクティブマトリックス基板12は、ガラス基板10上に、薄膜トランジスタで構成されるマトリクスアレイを備えた液晶表示部21と、液晶表示部21を駆動する駆動回路24～26とが形成されて構成されている。具体的説明すれば、アクティブマトリックス基板12の液晶表示部21には、各画素に対応して、画素スイッチングTFT（薄膜トランジスタ）22、および画素電極23が形成されている。また、アクティブマトリックス基板12における液晶表示部21の周辺部には、駆動回路24～26が設けられている。

## 【0036】

上記駆動回路24は、図2に示すように、シフトレジスタ31、およびバッファ32を備え、走査信号線（ゲートライン）33を介して画素スイッチングTFT22のゲート電極に接続され、クロック信号CLx、反転クロック信号CLx\*、およびスタートパルス（垂直同期信号）STvに応じて、各走査信号線33に順次走査信号パルスを出力するようになっている。

## 【0037】

一方、駆動回路25は、4組のシフトレジスタ34～37、バッファ38、お

よびアナログスイッチ（トランスファゲート）39を備え、画像信号線（ソースライン）40、および画素スイッチングTFT22を介して、表示画面左右方向の奇数番目の画素電極23に画像信号電圧を印加するようになっている。また、駆動回路26は、駆動回路25と同様の構成を有し、画像信号線41を介して、偶数番目の画素電極23に画像信号電圧を印加するようになっている。なお、駆動回路26の構成および動作は、駆動回路25と同様であるため、以下、主として駆動回路25についてのみ説明し、駆動回路26についての詳細な説明は省略する。

#### 【0038】

駆動回路25のシフトレジスタ34～37は、それぞれ、図3に示すように複数のパスゲート（3ステートバッファ）42、およびインバータ43から構成され、図4に示すように、クロック信号CL1～CL4、反転クロック信号CL1\*～CL4\*、およびスタートパルス（水平同期信号）SThに応じて、パルス幅が200nsで50nsずつ位相のずれた（150nsずつオーバーラップした）パルス信号を順次シフトして出力するようになっている。

#### 【0039】

また、駆動回路25のアナログスイッチ39は、シフトレジスタ34～37から出力されるパルス信号に応じて、アナログ画像信号線D0～D2から入力される画像信号電圧を画像信号線40に出力するようになっている。ここで、シフトレジスタ34…からは、前述のように150nsずつオーバーラップしたパルス信号が出力され、アナログスイッチ39からは、上記オーバーラップ期間に4本ずつの画像信号線40に同一の画像信号が出力されることにより、各画素電極23と対向電極18との間には、各パルス信号の最初の150nsの期間にプリチャージが行われた後、最後の50nsの期間に出力される画像信号に応じた電荷が蓄積される。すなわち、シフトレジスタ34～37が4組に分割されることにより、ドットクロックが50nsの場合と同等の速度（一定のフレーム周期）で、図5に示すように、実質的に200nsの書き込み時間が得られ、画素数が多くても確実に画像信号の書き込みが行われるようになっている。

#### 【0040】

また、上記駆動回路 25 に電源電圧を供給する +V 電源ライン 51 及び -V 電源ライン 52 は、ガラス基板 10 に埋め込まれた構造となっている。なお、駆動回路 26 に関する +V 電源ライン 53 及び -V 電源ライン 54 も、電源ライン 51, ライン 52 と同様にガラス基板 10 に埋め込まれた構造となっている。なお、駆動回路 24 に関する電源ラインについては、電圧低下が駆動回路 25, 26 程問題とならないため、本実施の形態では埋め込み配線構造としていないが、勿論、駆動回路 24 に関する電源ラインについても埋め込み配線構造とするのが望ましい。

#### 【0041】

このように電源ラインを埋め込み配線構造とすることが、本発明の主たる特徴である。以下、図 6～図 9 を参照して、この埋め込み配線構造について説明する。

#### 【0042】

なお、図 6 はアクティブマトリックス基板 12 の簡略化した平面図であり、図 7 は図 6 の X1-X1 矢視断面図であり、図 8 は図 6 の X2-X2 矢視断面図であり、図 9 は図 6 の X3-X3 矢視断面図である。

#### 【0043】

ガラス基板 10 の両側周辺部には、凹溝 60, 61; 62, 63 が形成されている。この凹溝 60, 61 は駆動回路 25 に近接して一直線状に延びており、凹溝 62, 63 は駆動回路 26 に近接して一直線状に延びている。そして、凹溝 60 には +V 電源ライン 51 として機能する金属配線が埋め込まれ、凹溝 61 には -V 電源ライン 52 として機能する金属配線が埋め込まれ、凹溝 62 には +V 電源ライン 53 として機能する金属配線が埋め込まれ、凹溝 63 には -V 電源ライン 54 として機能する金属配線が埋め込まれている。そして、+V 電源ライン 51 は接続電極 66…を介して駆動回路 25 と接続されており、-V 電源ライン 52 は接続電極 65…を介して駆動回路 25 と接続されており、これにより駆動回路 25 に電源が供給されるように構成されている。また、同様に、+V 電源ライン 53 は接続電極 67…を介して駆動回路 26 と接続されており、-V 電源ライン 54 は接続電極 68…を介して駆動回路 26 と接続されており、これにより駆

動回路 2 6 に電源が供給されるように構成されている。なお、金属配線の表面には絶縁層 7 7 (図 8 及び図 9 参照) が形成されており、これにより接続電極 6 6 が電源ライン 5 2 と接触することが防止されている。このような絶縁層 7 7 は、図示しないが、電源ライン 5 3, 5 4 に関しても設けられており、接続電極 6 7 が電源ライン 5 4 と接触することが防止されている。

#### 【 0 0 4 4 】

このように電源ラインを埋め込み配線構造とすることにより、以下の効果を奏する。

#### 【 0 0 4 5 】

①凹溝の深さを大きくして金属配線層の膜厚を大きくすることにより、電源ラインの配線抵抗を 0. 1 オーム程度にすることが容易にできるので、シフトレジスタ 3 4 …等に 1 6 0 m A 程度の貫通電流が流れても、電源電圧の電圧降下を小さく抑え、駆動回路 2 5 を確実に動作させることができる。なお、参考までに述べると、例えば基板表面に薄膜状の電源ラインを形成して抵抗値を小さくする場合には、基板周辺部の面積を大きくする必要があり、そのため、狭額縁化の液晶表示パネルを得ることができない。この点に関して、本実施の形態では、周辺部分の面積を増加させることなく電源ラインの抵抗値を下げることができるので、狭額縁化の液晶表示パネルを実現することが可能となる。

#### 【 0 0 4 6 】

②また、金属配線層の膜厚を大きくしても、金属配線層が基板内に埋め込まれた構造であるため、電源ラインが基板表面から突出していない。従って、金属配線層と駆動回路を接続する接続配線や、これらを被覆して形成される絶縁層に、段差が生じることがなく、アクティブマトリックス基板表面の平坦化がなされている。従って、セルギャップの均一性が維持され、表示特性の劣化を招くこともない。なお、参考までに述べると、単に電源ラインの抵抗値を下げるためであれば、基板上で膜厚の大きい金属配線層を形成すればよい。しかし、このような場合には、電源ラインを構成する金属配線層が基板表面から大きく突出した形状となるため、金属配線層と駆動回路を接続する接続配線や、これらを被覆して形成される絶縁層に、段差が生じる。そして、このことに起因して、基板と基板を貼

り合わせてセルギャップを一定値にすべく基板両側から押圧する際に、基板に撓みが生じてセルギャップが基板面内で均一に維持されなくなる。この点に関して、本実施の形態では、上記したように金属配線層が埋め込み構造となっているため、基板表面の平坦化が達成され、セルギャップの均一性が維持されることになる。

#### 【0047】

なお、金属配線層の膜厚は、電源電圧や液晶表示パネルの大きさを考慮して設定すればよい。

#### 【0048】

次いで、上記埋め込み電極構造の製造方法について説明する。

#### 【0049】

(1) 先ず、図10(1)に示すように、駆動回路24～26や液晶表示部21が形成されたガラス基板10上に全面を覆ってレジスト70を塗布する。

#### 【0050】

(2) 次いで、図10(2)に示すように、ガラス基板10上の窪みを作成する部分のレジスト70を除去する。

#### 【0051】

(3) 次いで、図10(3)に示すように、弗酸2%、グリセリン8%を含む水溶液を用いて約2分間エッチングを行い、深さ約1500nmの窪みを作る。続いてスパッタによりAlからなる金属膜75を1500nmの厚さで形成する。

#### 【0052】

(4) 次いで、図10(4)に示すように、レジスト70を剥離する。これにより、電源ライン51～54に相当する金属配線76が、凹溝60～63に埋め込まれた状態が得られる。

#### 【0053】

(5) 次いで、フォトリソグラフィー法により、図8及び図9に示すように絶縁膜77及びコンタクトホール78を形成し、埋め込まれた金属配線と駆動回路とを接続する接続電極65～68を形成する。これにより、図10(5)に示すように、電源ライン51～54が埋め込まれたアクティブマトリックス基板12が

作製される。

【0054】

また、埋め込まれる金属材料は、AlのほかNi、Cr、Mo、Taなどを使用するようにしてもよい。

【0055】

(実施の形態2)

実施の形態2による製造プロセスを示す。基本的な回路構成及びTFTをガラス基板上に作成するプロセスは実施形態1と同一である。但し、実施の形態1では、エッチング液を用いた化学的エッチング法により凹溝を形成するようにしたけれども、本実施の形態2ではサンドブラスト法により凹溝を形成するようにした点が相違する。以下、図11を参照して、具体的に説明する。

【0056】

(1) 先ず、図11(1)に示すように、駆動回路24～26や液晶表示部21が形成されたガラス基板10上に全面を覆ってレジスト70を塗布する。

【0057】

(2) 次いで、図11(2)に示すように、ガラス基板10上の窪みを作成する部分のレジスト70を除去する。

【0058】

(3) 次いで、図11(3)に示すように、レジスト70をマスクとして硬質粒子を斜め方向から吹きつけるサンドブラスト法を用いて約2分間エッチングを行う。これにより、ガラス基板10においてレジストパターンのレジスト部分に覆われていない部分は、吹き付けられた細かい硬質粒子で埋削され、深さ約1500nmの窪み(凹溝60～63に相当する)が形成される。

【0059】

(4) 次いで、図11(4)に示すように、スパッタ法により、Alからなる金属層75を1500nmの厚さで形成する。

【0060】

(5) 次いで、図11(5)に示すように、レジスト70を剥離する。これにより、電源ライン51～54に相当する金属配線76が、凹溝60～63に埋め込

まれた状態が得られる。

【 0 0 6 1 】

(6) 次いで、フォトリソグラフィー法により、図 8 及び図 9 に示すように絶縁膜 7 7 及びコンタクトホール 7 8 を形成し、埋め込まれた金属配線と駆動回路とを接続する接続電極 6 5 ～ 6 8 を形成する。これにより、図 1 1 (6) に示すように、電源ライン 5 1 ～ 5 4 が埋め込まれたアクティブマトリックス基板 1 2 が作製される。

【 0 0 6 2 】

このように本実施の形態 2 では、凹溝をサンドブラスト法により形成するようにしたので、エッチング溶液を用いて凹溝を形成する実施の形態 1 に比べて、エッチングレートが 1 桁以上高く、処理速度が速いというメリットがある。なお、加工精度面からは、実施の形態 1 の方が、実施の形態 2 より良好である。従って、実施の形態 1 による化学的エッチング法によれば、凹溝の深さ方向による制御性が高く、任意の深さにコントロールすることが可能となる。よって、製造プロセスに要する時間の短縮化を重視する場合は、実施の形態 2 のような物理的エッチング法を用い、凹溝の深さの精度を重視する場合は実施の形態 1 のように化学的エッチング法を使用すればよい。

【 0 0 6 3 】

(実施の形態 3)

図 1 2 は実施の形態 3 に係るアクティブマトリックス基板の簡略化した断面図である。前述の実施の形態 1 及び 2 は、ガラス基板をエッチングあるいはサンドブラスト法により直接加工したものである。これに対し、本実施の形態 3 ではガラス基板 1 0 を加工せず、樹脂 8 0 を基板上に塗布しこの樹脂 8 0 内に金属配線 7 6 を埋め込むようにしたものである。なお、電源ライン 5 2 に相当する金属配線 7 6 と駆動回路 2 5 との間には、絶縁層 (図 1 2 では図示していない) が設けられており、この絶縁層に形成されているコンタクトホールを挿通する接続電極 6 5 (図 1 2 では図示していない) を介して電源ライン 5 2 と駆動回路 2 5 が接続されている。また、電源ライン 5 2, 5 1 に相当する金属配線 7 6, 7 6 の表面には、絶縁層 (図 1 2 では図示していない) が形成されており、この絶縁層に



形成されているコンタクトホールを挿通する接続電極 66 (図 12 では図示していない) を介して電源ライン 51 と駆動回路 25 が接続されている。このような電源ライン 52, 51 に関する構造は、電源ライン 52, 51 に関しても設けられている。従って、接続電極 66 が電源ライン 52 に接触することはない、また、接続電極 67 が電源ライン 54 に接触することはない。

#### 【0064】

このような構成の埋め込み配線構造であっても、実施の形態 1 及び 2 と同様に電源ライン 51 ~ 54 の抵抗値を小さくできると共に、樹脂層 80 が平坦化層の役割を果たすため、セルギャップを均一に保持することが可能となる。なお、後述する実施の形態 4 ~ 6 も、基本的には本実施の形態 3 と同様に、ガラス基板上に樹脂層が形成され、この樹脂層内に電源ラインを構成する金属配線が埋め込まれた構造となっている。従って、後述する実施の形態 4 ~ 6 においても、実施の形態 3 と同様に電源ラインの抵抗値を小さくできると共に、セルギャップを均一に保持することが可能となる。

#### 【0065】

以下に、埋め込み配線構造の製造方法を図 13 を参照して具体的に説明する。

#### 【0066】

(1) 先ず、図 13 (1) に示すように、ガラス基板 10 上に画素電極を含むアクティブマトリックスパターン (液晶表示部 21 に相当する) 及び液晶パネルを駆動するための周辺パターン (駆動回路 24 ~ 26) を形成した後、感光性のアクリル樹脂 80 を、たとえばスピン塗布法により 1500 nm の膜厚になるようにガラス基板 10 全面に塗布する。

#### 【0067】

(2) 次いで、図 13 (2) に示すように、露光およびアルカリ現像を行って、駆動部分の周辺に電源部分を含めた、共通配線部分の溝を残すようにパターンニングした。この場合、基板を全面露光 (g、h、i 線光源で 300 mJ) を行うことにより、感光性のアクリル樹脂を脱色して透明化した。なお、上記 g、h、i 線とは、露光用水銀灯ランプの発光輝線スペクトルで所定の波長のものをいい、効率を考慮すると、エネルギーの一番強い i 線を使用するのがよい。

## 【0068】

(3) 次いで、図13(3)に示すように、前記樹脂80に埋め込むA1からなる金属層75をスパッタ法により1500nmの厚さで形成する。

## 【0069】

(4) 次いで、図13(4)に示すように、蒸着した金属層75を電源を含む共通電極の配線パターン及び前記駆動回路に接続するためのパターンとして残るようエッチングを除去する。そして、接続電極65, 66; 68, 67及び接続電極65, 66; 68, 67に関連した絶縁層を形成する。これにより樹脂80内に電源ライン51~54が埋め込まれたアクティブマトリックス基板12が作製される。

## 【0070】

上記製造プロセスによれば、ガラス基板10をエッチングする必要がないので、実施の形態1に比較して加工精度が向上すると共に、埋め込み電極として形成する金属配線の厚さの制御性が向上する。

## 【0071】

## (実施の形態4)

図14は実施の形態4に係るアクティブマトリックス基板の製造工程図である。本実施の形態4では、スクリーン印刷により周辺の配線パターンを形成することを特徴とする。具体的には、以下のようにして作製する。

## 【0072】

(1) 先ず、図14(1)に示すように、ガラス基板10上に画素電極を含むアクティブマトリックスパターン(液晶表示部21)及び液晶パネルを駆動するための周辺パターン(駆動回路24~26)を形成した後、電源を含む共通配線部として、熱硬化型の導電性樹脂を用いてスクリーン印刷を行い、電源ライン52, 54及び接続電極65, 68に相当する金属層76Aを形成する。次いで、絶縁層(図示せず)を金属層76A上に形成し、次いで、電源ライン51, 53及び接続電極65, 68に相当する金属層76Aを形成する。これにより、金属層76Aのうちの接続電極66に相当する部分が、電源ライン52に相当する部分と接触することが防止される。また、同様に、金属層76Aのうちの接続電極6

7に相当する部分が、電源ライン54に相当する部分と接触することが防止される。

【0073】

(2) 次いで、図14(2)に示すように、スクリーン印刷を行った後、150℃～180℃の温度を、この導電性樹脂76Aに加えて硬化させる。樹脂を硬化させる温度は、樹脂の種類によって調節する。

【0074】

(3) 次いで、図14(3)に示すように、上記配線を形成した後、絶縁性の樹脂80を同様にスクリーン印刷により配線間に埋め込み平坦化を図る。

【0075】

このようにスクリーン印刷法を用いることにより、パターン形成に要する時間が短い。また、フォトリソグラフィ法に比べて装置コストが極めて安価であり、特に大型液晶表示パネル用のアクティブマトリックス基板のように電源ラインの長い場合での処理に適している。更に、精度面においては、フォトリソグラフィ法に比べて劣るけれども、電源ラインなどの高い精度の要求のない配線パターンに対して有効である。

【0076】

なお、平坦化膜形成に際しては、スクリーン印刷法の他にスピコート法を用いて平坦化を図ることも可能である。上記プロセスを採用することにより1μm以上の厚みを持った導電性樹脂による配線を容易に形成できる。

【0077】

(実施の形態5)

図15は実施の形態5に係るアクティブマトリックス基板の製造工程図である。本実施の形態5は、金属配線材料としては金属細線81を使用し、この金属細線を埋め込むことを特徴とする。本実施の形態では、金属細線81の径は50μmに設定されている。

【0078】

具体的には、以下のようにして作製する。

【0079】

(1) 先ず、図 15 (1) に示すように、ガラス基板 10 上に画素電極を含むアクティブマトリックスパターン（液晶表示部 21）及び液晶パネルを駆動するための周辺パターン（駆動回路 24～26）を形成する。

【0080】

(2) 次いで、図 15 (2) に示すように、電源ラインに相当する太さ  $50\mu\text{m}$  の鉄線である金属細線 81 をガラス基板 10 周辺部に形成する。

【0081】

(3) 次いで、図 15 (3) に示すように、金属細線 81 と駆動回路 25, 26 とを接続する接続電極 65～68 を形成する。なお、接続電極 66 と電源ライン 52 に相当する金属細線 81 との間に、絶縁層を形成し、接続電極 68 と電源ライン 54 に相当する金属細線 81 との間に、絶縁層を形成しておく。

【0082】

(4) 次いで、図 15 (4) に示すように、絶縁性の樹脂 80 をスクリーン印刷により配線間に埋め込み平坦化を図る。

【0083】

なお、平坦化膜形成に際しては、スクリーン印刷法の他にスピンコート法を用いて平坦化を図ることも可能である。

【0084】

なお、金属細線 81 の材料としては、Ti、Cr、金などを用いてもよく、このような材料であればさらに抵抗値を下げる事が可能となる。

【0085】

このようにして、本実施の形態 5 では、予め作製されている金属細線を使用することにより、配線パターン作製工程が不要となり、製造工程数の低減が図れる。また、金属細線の径を変更すれば、電源ラインの抵抗値を設定できる。従って、予め抵抗値が設定されている金属細線を選択すれば、希望する抵抗値が得られる。そのため、抵抗値の変更が容易である。また、製造コストも安価である。

【0086】

(実施の形態 6)

図 16 は実施の形態 6 に係るアクティブマトリックス基板の製造工程図である

。実施形態 6 の特徴は、共通配線部分の一部あるいは全部が前記アクティブマトリックスアレイが形成されているガラス基板 10 周辺に、メッキ工法にて金属配線の厚膜を形成したことを特徴とする。このようなメッキ工法により、低抵抗金属を含む積層配線構造を形成することができ、この結果、更に電源ラインの低抵抗化を実現することができる。なお、電源ライン 52, 54 に相当する金属配線厚膜の最下層に位置する銅箔層 90 と駆動回路 25, 26 間には、接続電極 65, 68 に相当する部分を切欠いた絶縁層（図示せず）が介在している。また、電源ライン 51, 52 ; 53, 54 に相当する金属配線厚膜の最上層に位置する金ニッケルメッキ層 92 上には、絶縁層（図示せず）が形成されており、しかも電源ライン 51, 53 に相当する金ニッケルメッキ層 92 上の絶縁層にはコンタクトホールが形成され、このコンタクトホールを介して接続電極 66, 67 が駆動回路 25, 26 と接続している。従って、接続電極 66, 67 が電源ライン 52, 54 に相当する金ニッケルメッキ層 92 と接触することが防がれている。

## 【0087】

以下に、具体的な製造方法を説明する。

## 【0088】

(1) 先ず、図 16 (1) に示すように、ガラス基板 10 上に画素電極を含むアクティブマトリックスパターン（液晶表示部 21）及び液晶パネルを駆動するための周辺パターン（駆動回路 24 ~ 26）を形成する

(2) 次いで、図 16 (2) に示すように、電源を含む共通配線部分として銅箔層 90、銅メッキ層 91 及び金ニッケルメッキ層 92 を積層して例えば 1  $\mu$ m 以上の厚さの金属配線層 76 を形成する。具体的に説明すれば、フォトリソグラフィ法により下地金属を形成する部分を除いてレジストパターンを形成し、次いで、下地金属となる銅の薄膜を形成し、次いで、リフトオフにより必要部分以外の部分を剥離する。次いで、残った銅薄膜を下地膜として硫酸銅を主成分とした溶液中でメッキ浴を行い下地薄膜上に、自己整合的に銅メッキを行う。これにより、銅箔層 90 上に銅メッキ層 91 が形成される。さらに、上記と同様なメッキ法を用いて銅メッキ層 91 上に金ニッケルメッキ層 92 を形成する。

## 【0089】

(3) 次いで、接続電極 66, 67 (図示せず) 及び絶縁層 (図示せず) 等を形成した後、図 16 (3) に示すように、絶縁性の樹脂 80 をスクリーン印刷により配線間に埋め込み平坦化を図る。

#### 【0090】

なお、メッキの材料としては上記の他に、ニッケルメッキ、クロムメッキ及びアルミニウムメッキを用いてもよい。またこれらの合金メッキを用いることも可能である。

#### 【0091】

こうして本実施の形態では、メッキ工法を用いることにより、下地金属膜に対して、自己整合的に金属配線を形成することが可能となる。また、下地金属膜上に自己整合的に形成する金属を、金あるいは銅等の低抵抗金属とすることが可能となり、適当な下地金属との選択により、低抵抗かつ高精度な金属配線を形成することが可能となる。

#### 【0092】

##### (その他の事項)

①上記実施の形態 1～6 では、電源ラインについて埋め込み配線構造としたけれども、本発明はこれに限定されるものではなく、埋め込む配線を電源ラインだけでなく、他の共通配線、例えばデータ線、シフトレジスタのクロック線など配線抵抗による信号の遅延が課題となるような部分も同様の工程で埋め込み配線構造とすることが可能である。

#### 【0093】

②上記実施の形態 1～4 において、金属配線層を形成する方法としては、予め薄膜の導電層を形成しておき、該導電層上に選択堆積方法により金属配線を形成するようにしてもよい。このようにすれば、上記のメッキ法による場合と同様に自己整合的に金属配線を形成することができると共に、堆積すべき金属を選択することにより低抵抗の金属配線が可能となる。なお、メッキ法に比べ選択堆積法の場合は、より清浄な環境下で形成されるため、金属配線層に不純物が混じり込むことがなく、金属配線の抵抗値の精度が向上するという利点がある。

#### 【0094】

【発明の効果】

以上のように本発明によれば、駆動回路の共通配線部分の一部あるいは全部をなす金属配線を埋め込み配線構造としたので、駆動回路に電源電圧を印加する電源配線の配線抵抗を小さく設定することが容易にできるので、駆動回路を構成する半導体素子の貫通電流、及び電源配線の配線抵抗によって生じる電圧降下を小さく押さえることができ、確実に動作させることが可能となる。それゆえ内蔵駆動回路部を大幅に小型化でき、狭額縁な駆動回路一体型液晶表示装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】

本発明に係るアクティブマトリックス基板を備えた液晶表示装置の構成を示す平面図である。

【図 2】

液晶表示装置の回路図である。

【図 3】

シフトレジスタの構成を示す回路図である。

【図 4】

シフトレジスタの動作を示すタイミングチャートである。

【図 5】

シフトレジスタの分割数と画像信号電圧の印加時間との関係を示すグラフである。

【図 6】

アクティブマトリックス基板 1 2 の簡略化した平面図である。

【図 7】

図 6 の X 1 - X 1 矢視断面図である。

【図 8】

図 6 の X 2 - X 2 矢視断面図である。

【図 9】

図 6 の X 3 - X 3 矢視断面図である。

【図 1 0】

実施の形態 1 に係るアクティブマトリックス基板の製造工程図である。

【図 1 1】

実施の形態 2 に係るアクティブマトリックス基板の製造工程図である。

【図 1 2】

実施の形態 3 に係るアクティブマトリックス基板の簡略化した断面図である。

【図 1 3】

実施の形態 3 に係るアクティブマトリックス基板の製造工程図である。

【図 1 4】

実施の形態 4 に係るアクティブマトリックス基板の製造工程図である。

【図 1 5】

実施の形態 5 に係るアクティブマトリックス基板の製造工程図である。

【図 1 6】

実施の形態 6 に係るアクティブマトリックス基板の製造工程図である。

【図 1 7】

従来のテープキャリアパッケージの液晶表示装置の構成を示す平面図である。

【図 1 8】

従来のチップオンガラスの液晶表示装置の構成を示す平面図である。

【図 1 9】

CMOS インバータの構成を示す回路図である。

【図 2 0】

ポリシリコン薄膜トランジスタ及び単結晶シリコントランジスタの特性を示すグラフである。

【図 2 1】

ポリシリコン薄膜トランジスタを用いた CMOS インバータにおける貫通電流の大きさを示すグラフである。

【符号の説明】

1 0 : ガラス基板

1 2 : アクティブマトリックス基板

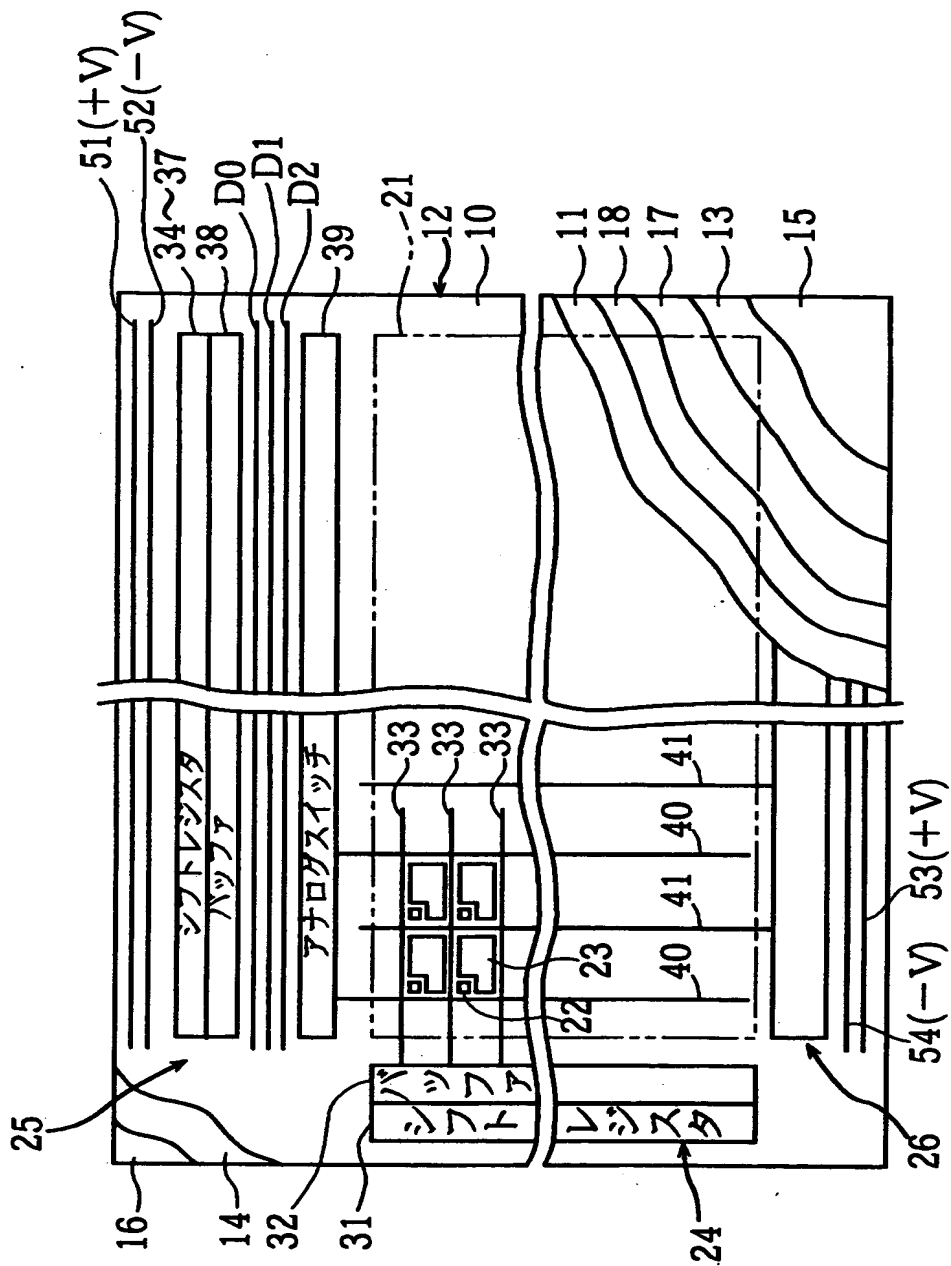


- 2 1 : 液晶表示部
- 2 4 ~ 2 6 : 駆動回路
- 5 1 ~ 5 4 : 電源ライン
- 6 0 ~ 6 3 : 凹溝
- 6 5 ~ 6 8 : 接続電極
- 7 0 : レジスト
- 7 5 : 金属層
- 7 6 : 金属配線
- 8 0 : 感光性樹脂
- 8 1 : 金属細線
- 9 0 : 銅箔層
- 9 1 : 銅メッキ層
- 9 2 : 金ニッケルメッキ層

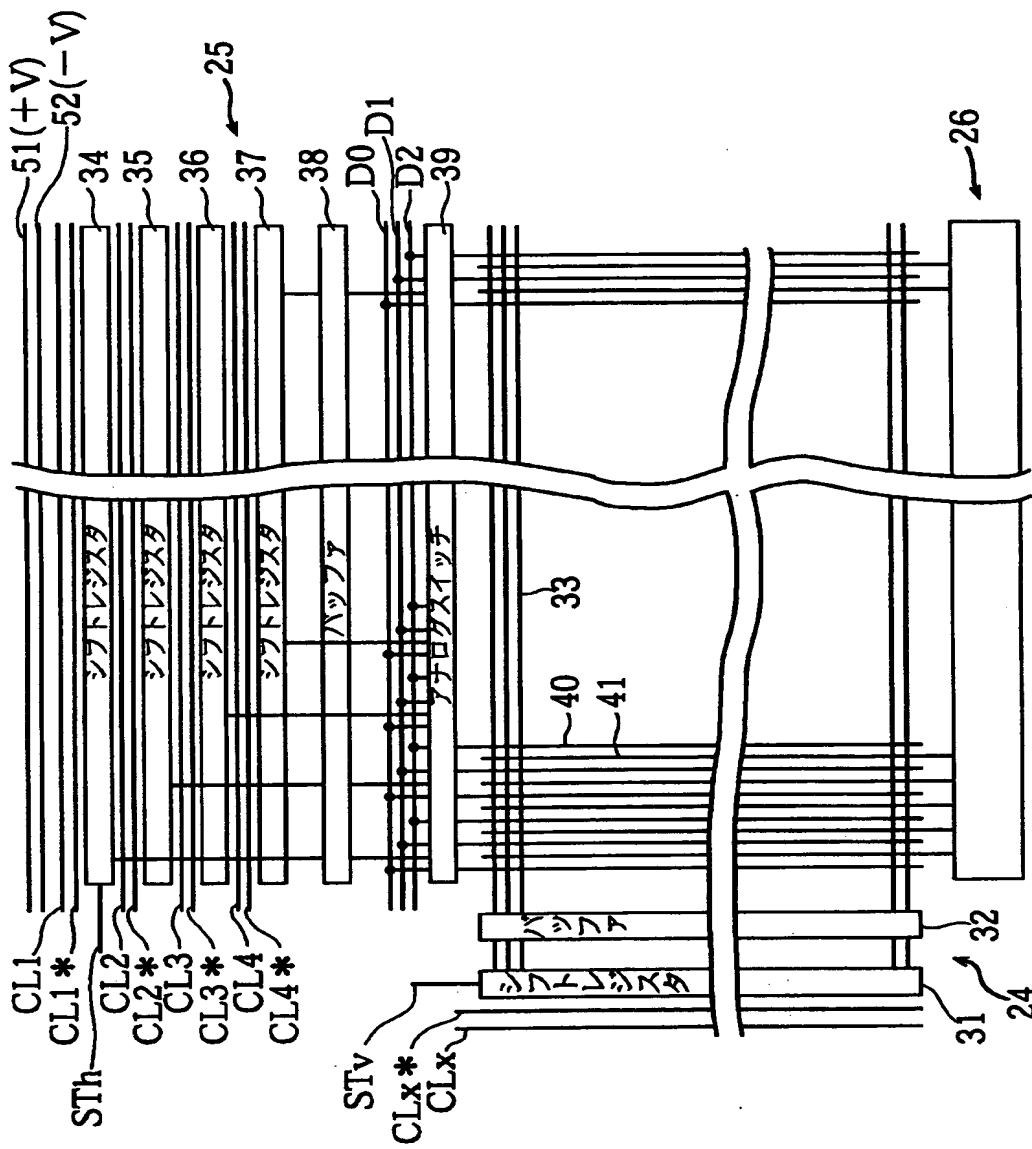
【書類名】

図面

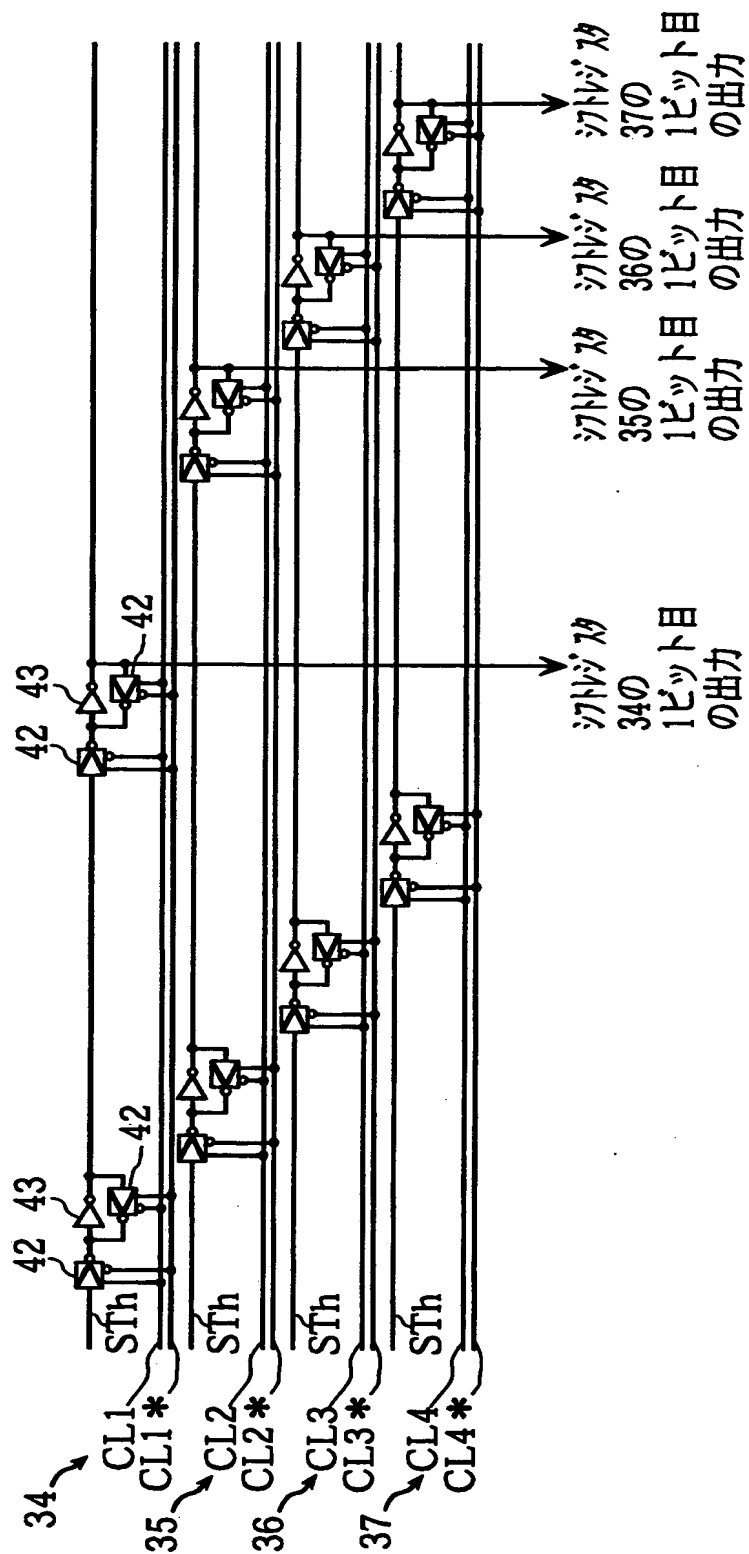
【図 1】



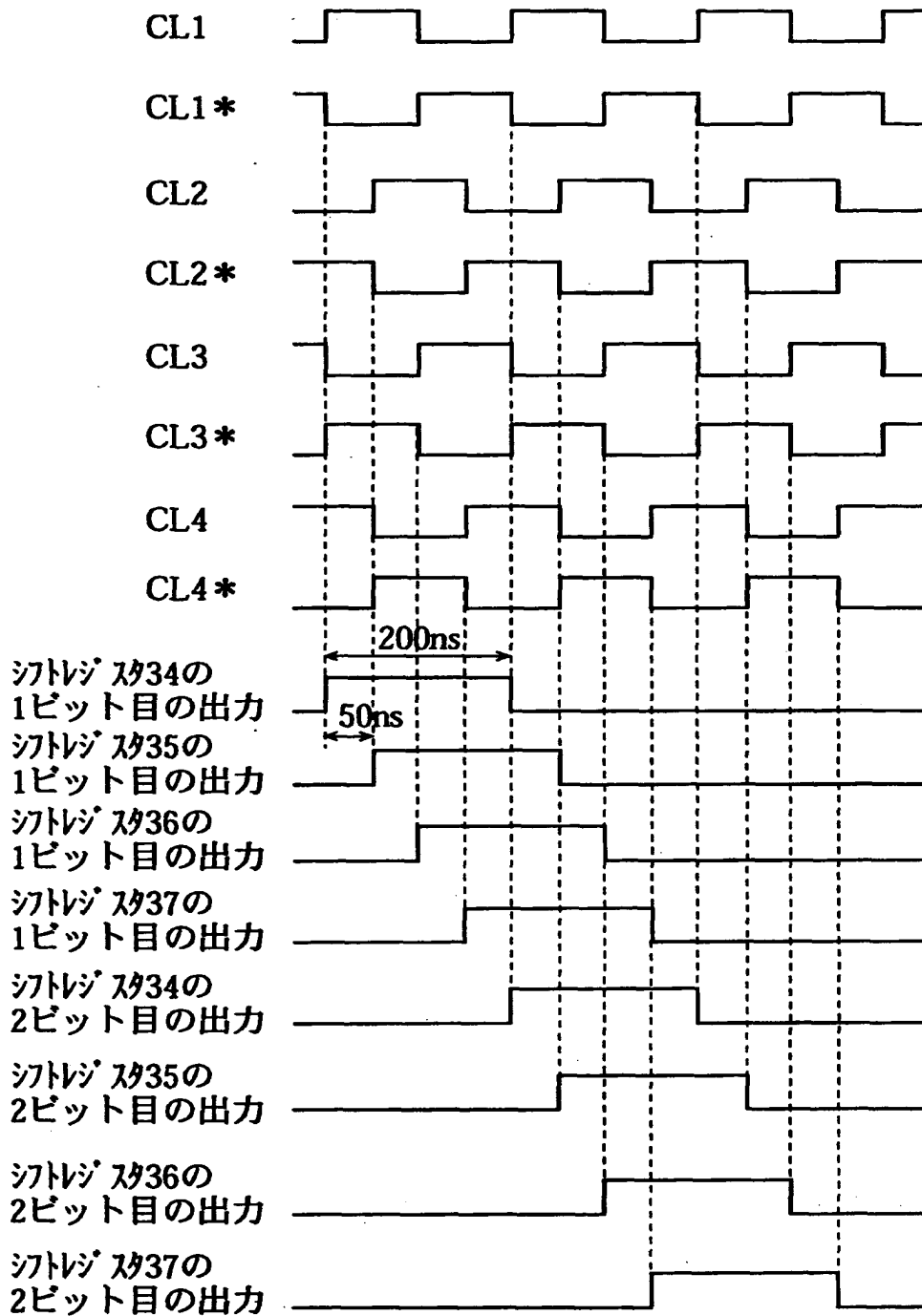
【図 2】



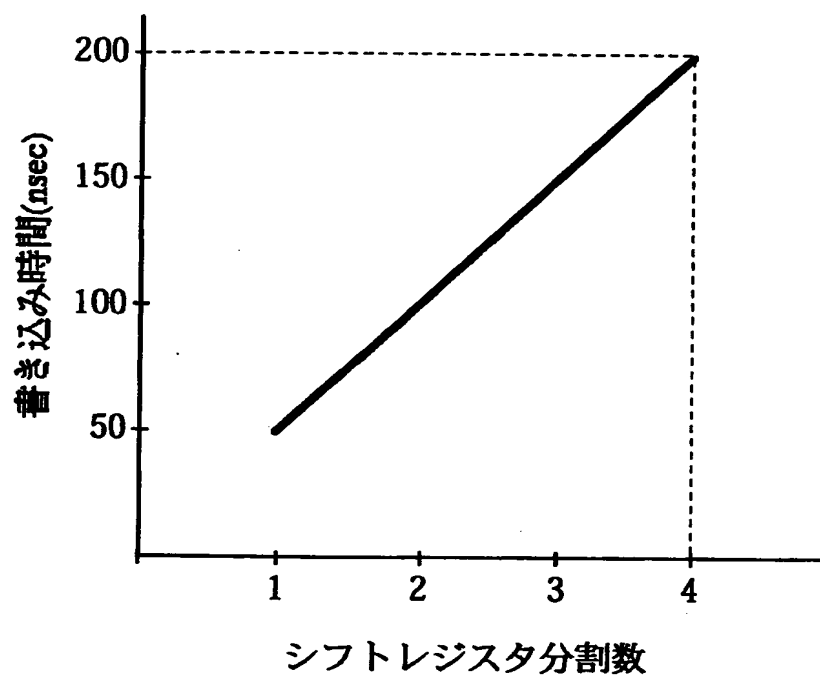
【図 3】



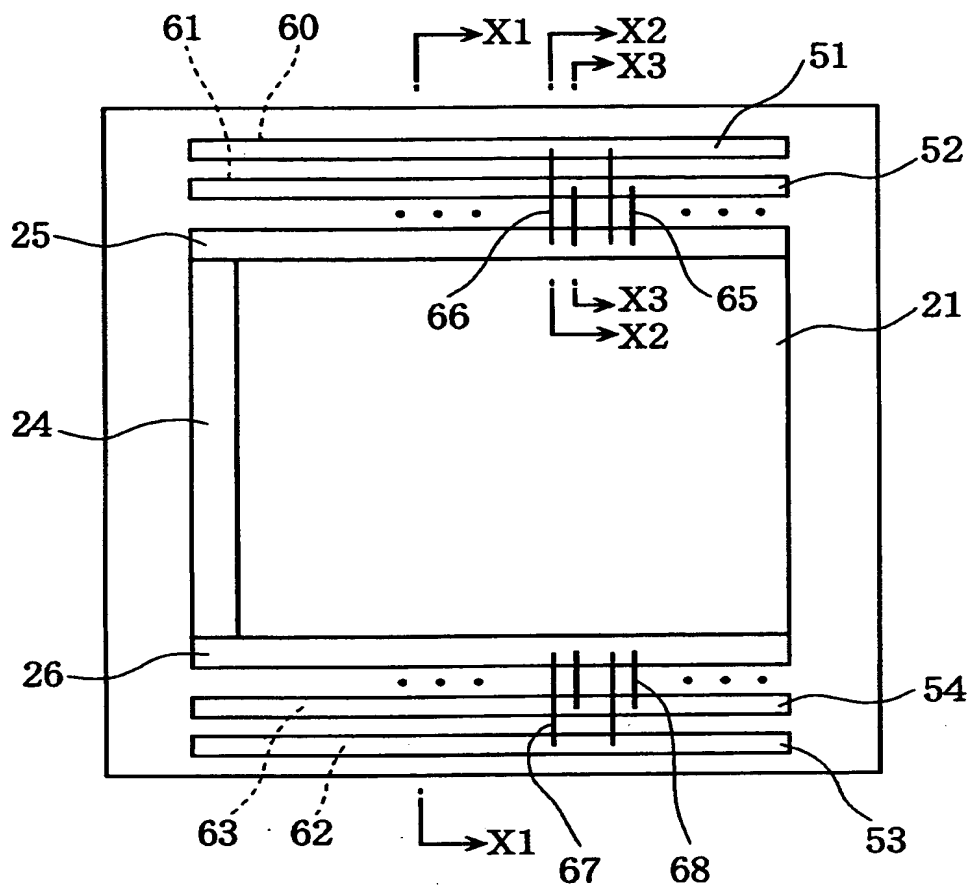
【図 4】



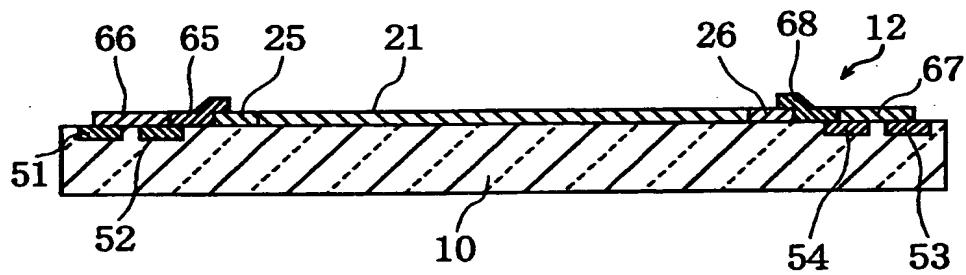
【図 5】



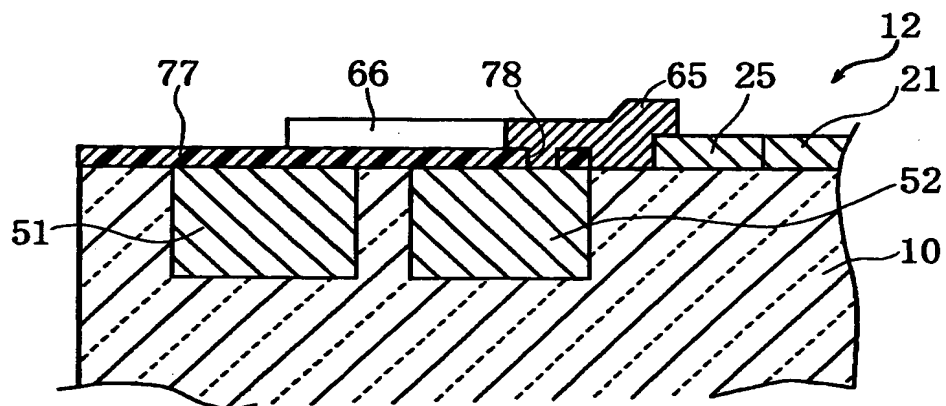
【図 6】



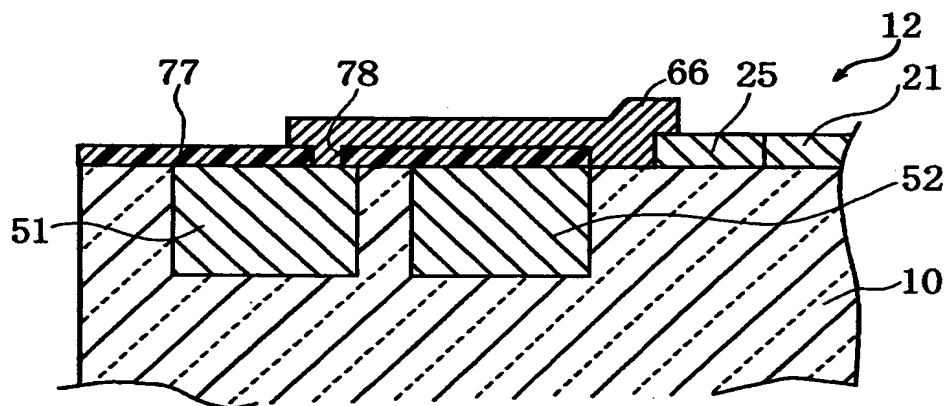
【図 7】



【図 8】

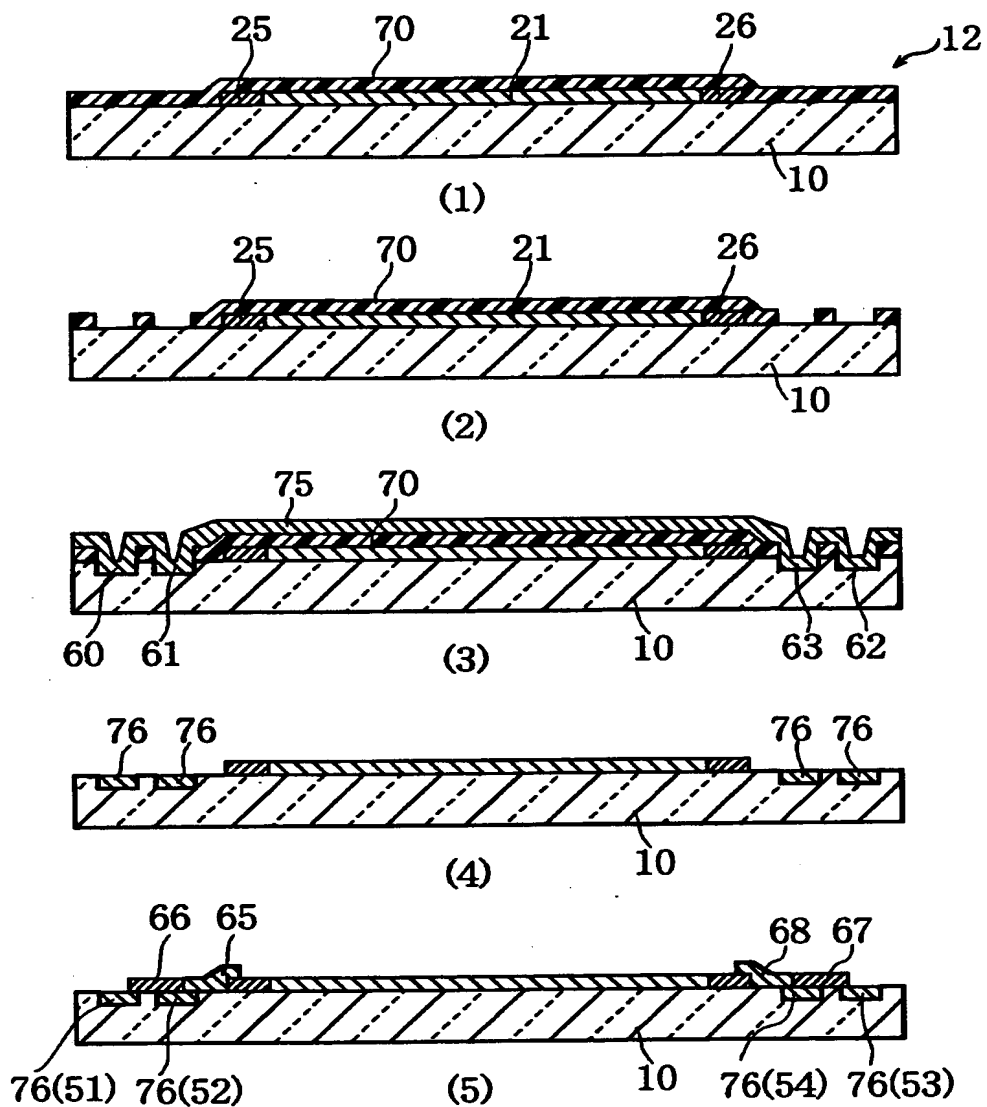


【図 9】

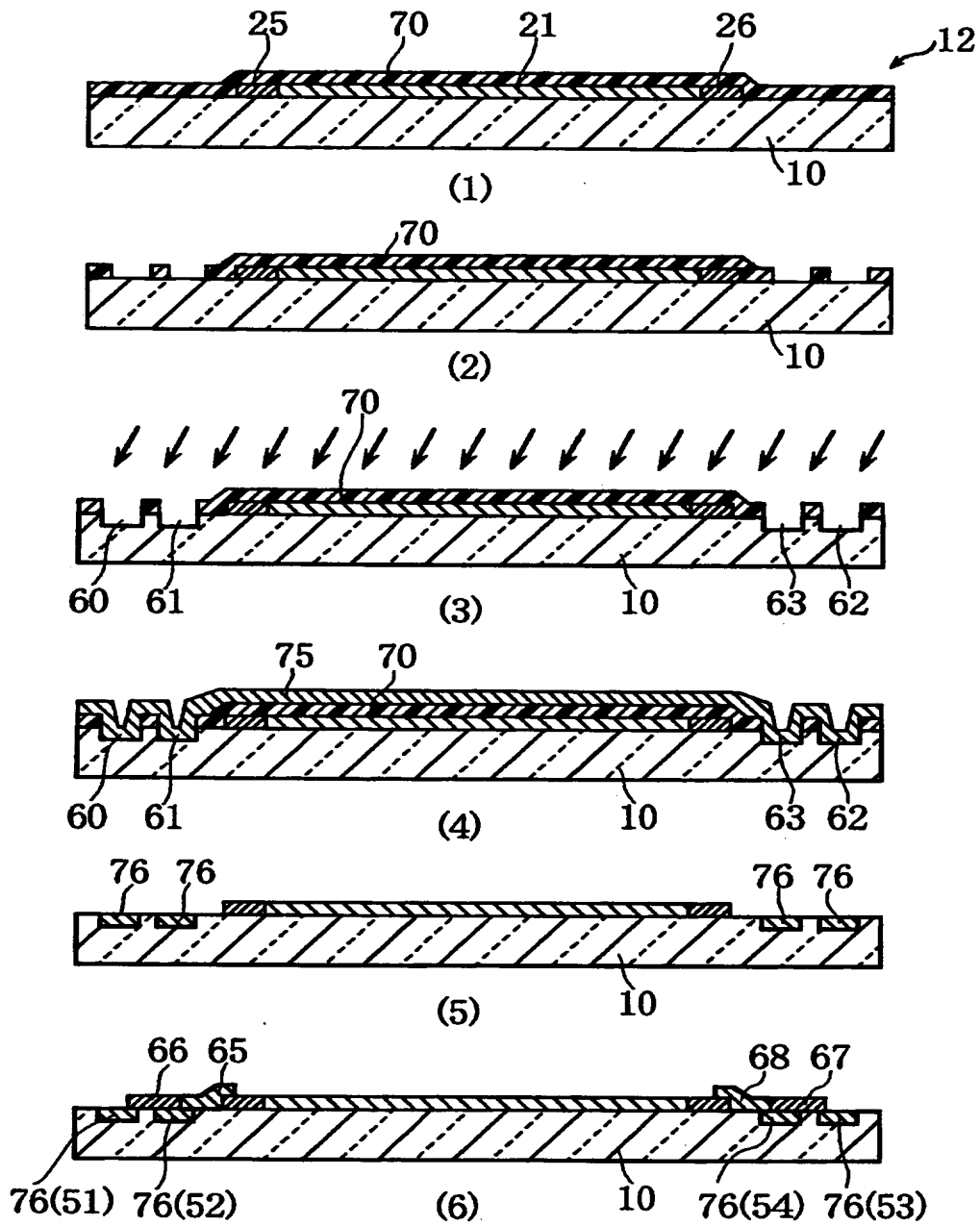




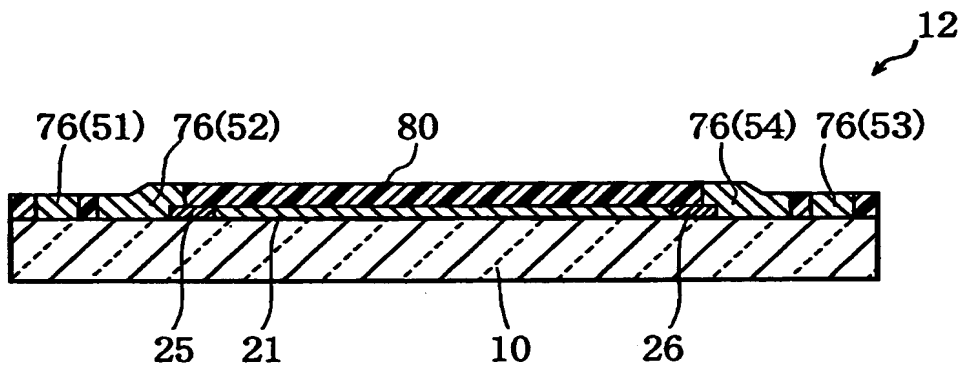
【図 1 0】



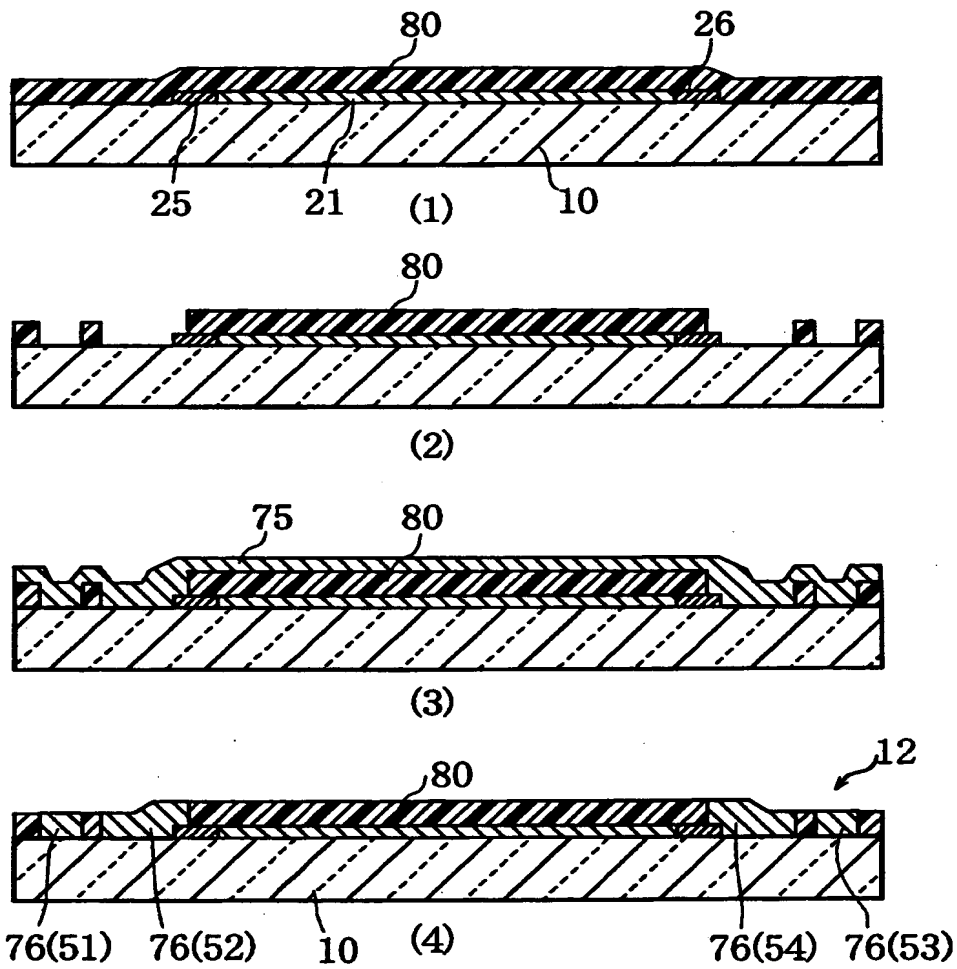
【図 1 1】



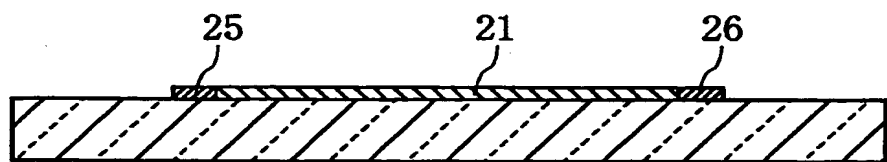
【図 1 2】



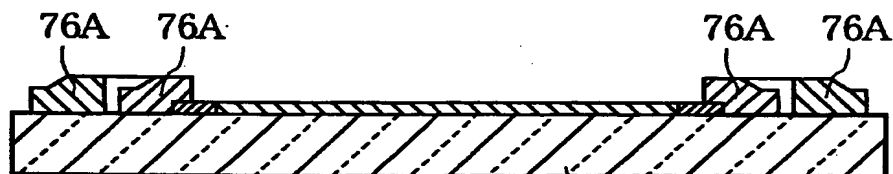
【図 1 3】



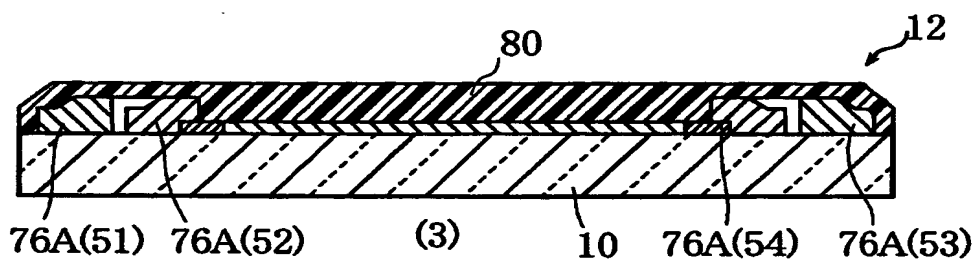
【図 1 4】



(1)

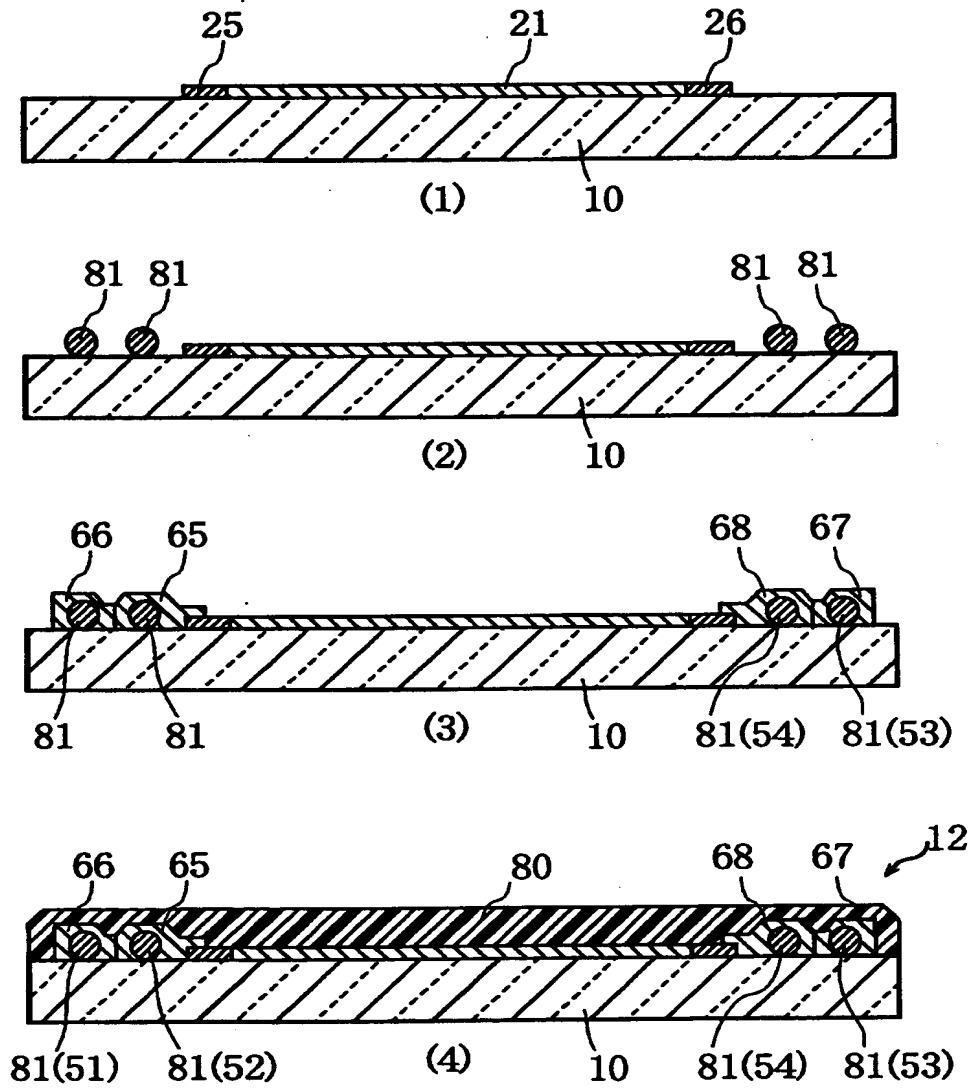


(2)

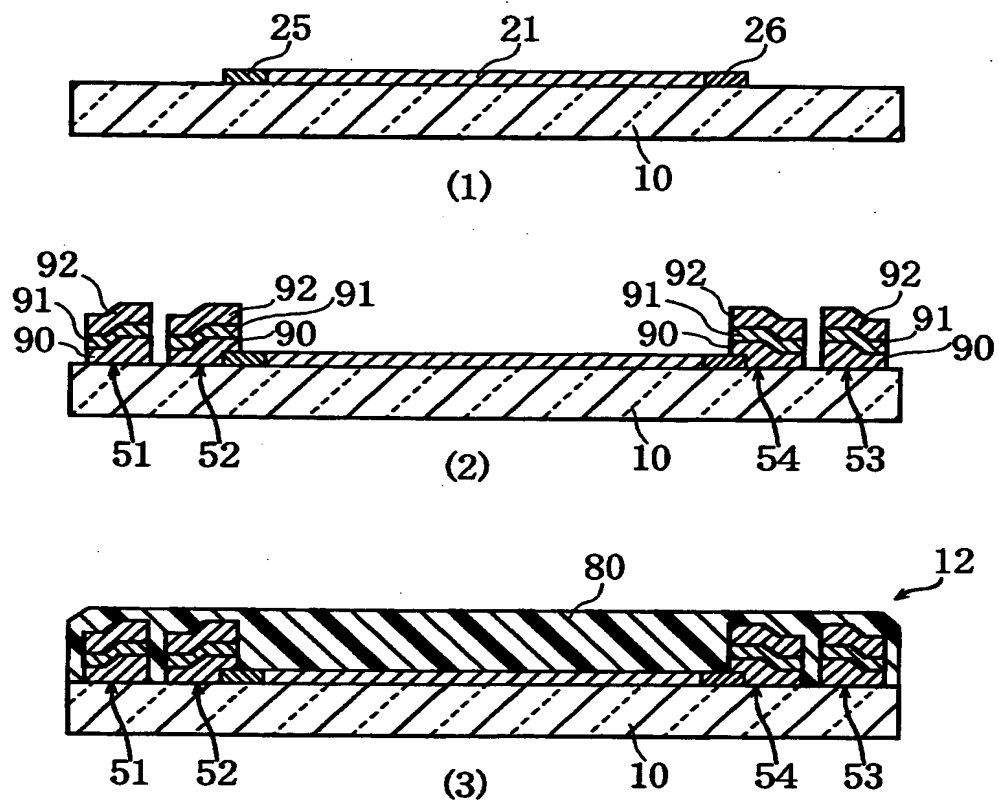


(3)

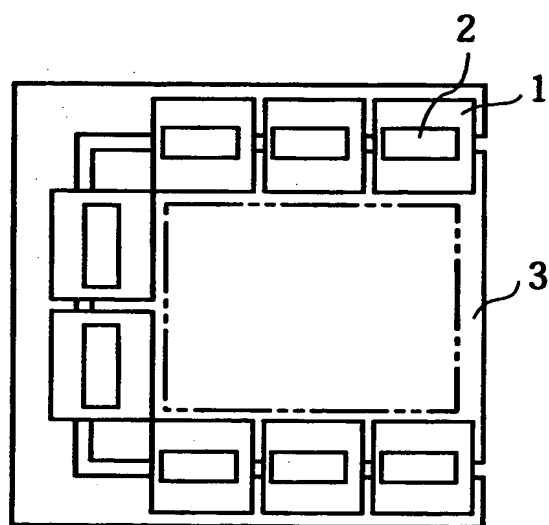
【図 1 5】



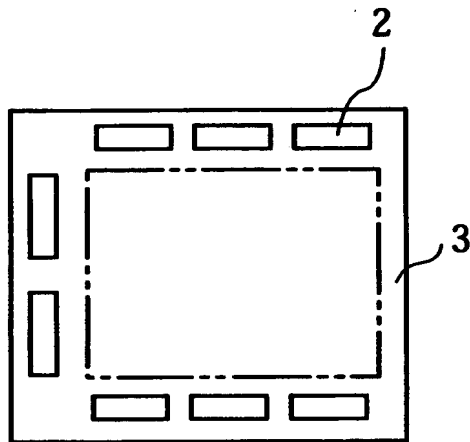
【図 1 6】



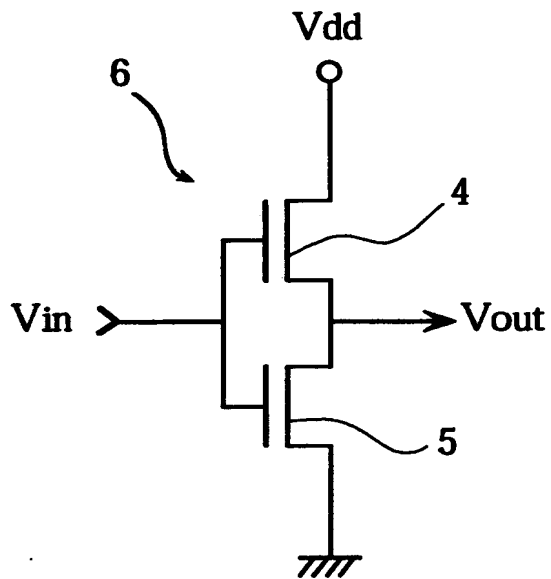
【図 1 7】



【図 1 8】

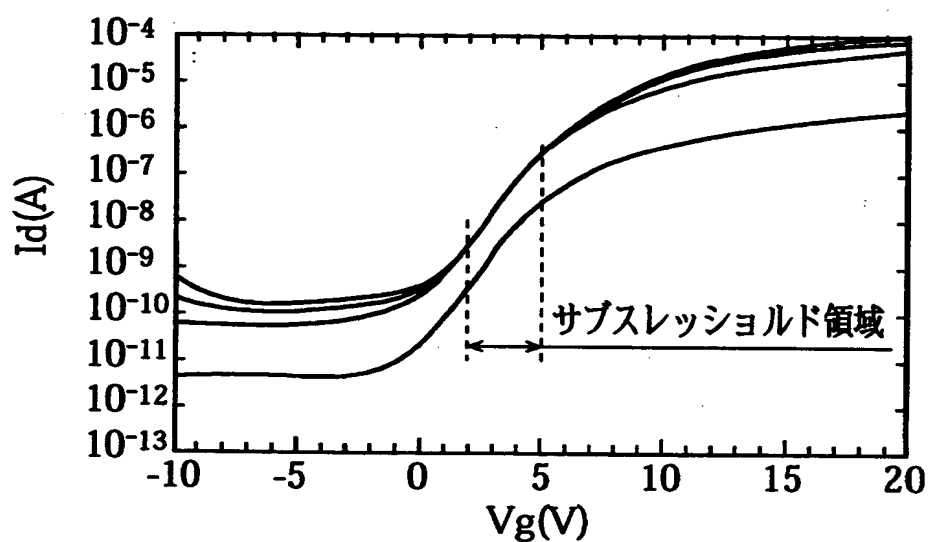


【図 1 9】



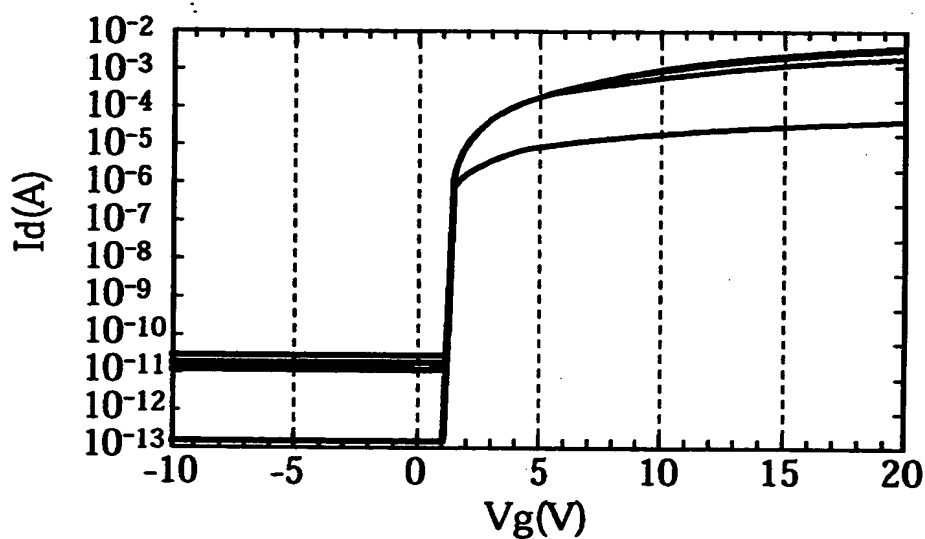
【図 2 0】

(a)



ポリシリコンTFTのTr特性

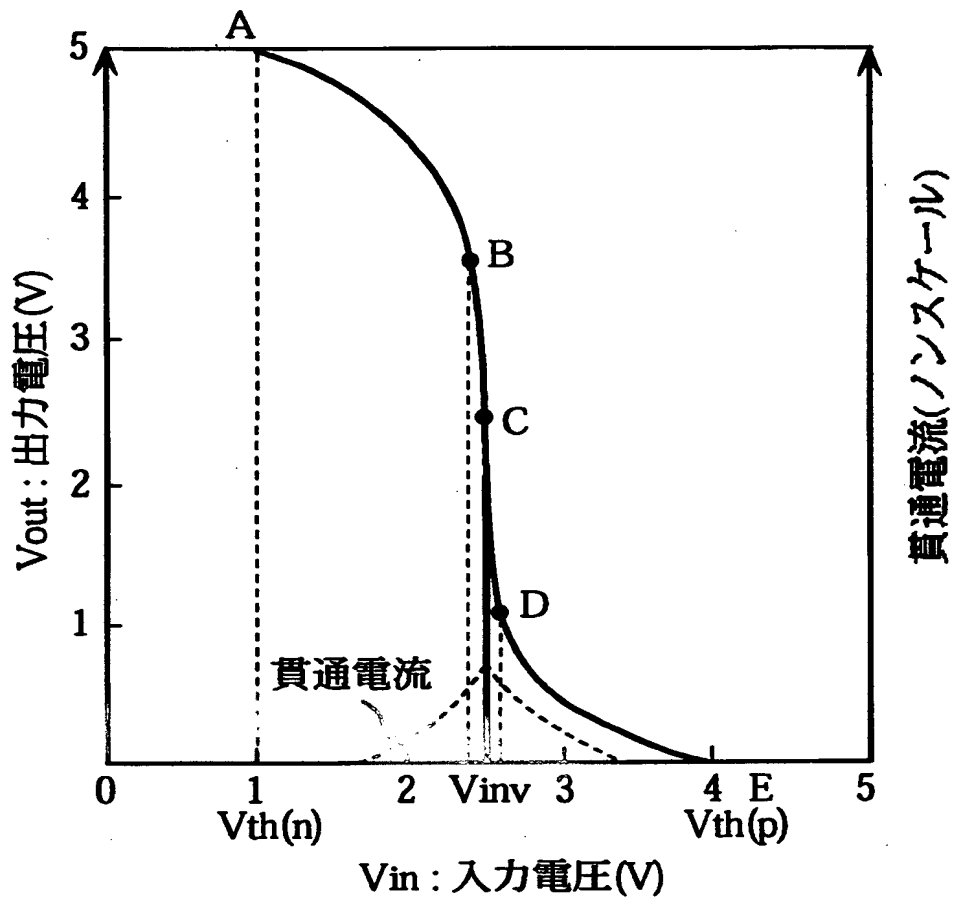
(b)



MOS-Tr(結晶シリコン)の特性



【図 2 1】



【書類名】 要約書

【要約】

【課題】 周辺部分の面積を増加させることなく、駆動回路の電源ラインあるいはデータ配線に代表される共通配線部分の抵抗値を下げることにより、電源電圧の低下量を小さく抑えて、駆動回路を確実に動作させることができる駆動回路一体型アクティブマトリックス基板およびその製造方法を提供する。

【解決手段】 アクティブマトリックス基板 1 2 は、ガラス基板 1 0 上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部 2 1 と、液晶表示部を駆動する駆動回路 2 4 ～ 2 6 とが形成された駆動回路一体型基板である。ガラス基板 1 0 の周辺部に凹溝 6 0 ～ 6 3 が形成され、この凹溝 6 0 ～ 6 3 に、駆動回路 2 5, 2 6 に電源を供給する電源ライン 5 1 ～ 5 4 が埋め込まれた構成となっている。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社

